

УДК 621.394

**ВИКОРИСТАННЯ ПРОГРАМОВАНИХ ЛОГІЧНИХ ІНТЕГРАЛЬНИХ
СХЕМ ДЛЯ РЕАЛІЗАЦІЇ ПРОТОКОЛІВ ПЕРЕДАЧІ ДАНИХ ЧЕРЕЗ
ІНТЕРНЕТ**

**Даниленко О.Ф., к.т.н., доц., Скородєлов В.В., к.т.н., проф.,
Черних О.П., к.ф.-м.н., доц., Ягнюков С.Ю., магістрант,
кафедра обчислювальної техніки та програмування, НТУ «ХП»**

Постановка проблеми. У зв'язку з поширенням таких передових ІТ технологій як інтернет-речей, вбудовані системи та «хмарні» обчислення суттєво збільшилися вимоги до швидкості передачі даних між пристроями (комп'ютерами), які взаємодіють між собою в комп'ютерних мережах (КМ). Інкапсуляція та декапсуляція (формування пакетів передачі) даних при великих швидкостях потребує значних потужностей центральних процесорів (ЦП) загального призначення. По своїй природі ЦП не може в один і той же момент часу займатися одразу двома важливими завданнями обміну даними: формування пакетів та обробка даних. Це суттєво обмежує швидкість передачі даних між пристроями в КМ. Особливо це проявляється, коли ці пристрої побудовані на базі мікроконтролерів або однокристальних ЕОМ в таких, наприклад, областях як інтернет-речей та вбудовані системи, тому що продуктивність ЦП в таких пристроях і системах порівняно мала.

Крім цього, часто виникає проблема невідповідності протоколів обміну даними між пристроями з різними інтерфейсами, що потребує застосування апаратних перетворювачів протоколів, а останні налаштовані тільки на один варіант зміни протоколу.

Мета дослідження – пошук шляхів підвищення швидкості передачі даних між пристроями в КМ.

Основний матеріал. Для вирішення поставлених вище проблем в каналах передачі даних можна застосувати додаткові апаратні засоби (співпроцесори), що можуть програмно налаштовуватися на різні типи

протоколів, змінювати їхні параметри, а також звільнити ЦП від зайвих дій при підготовці даних для передачі. В роботі розглядаються питання використання ПЛІС для реалізації таких співпроцесорів.

Приводяться результати аналізу існуючих досліджень та розробок в цьому напрямку [1-4], а також їх переваг і недоліків для використання в КМ. Обґрунтовується доцільність використання ПЛІС для реалізації мережевого співпроцесора для невеликих мікроконтролерних пристроїв і систем.

Запропоновано модуль на ПЛІС FPGA XC7Z020-1CLG484C компанії Xilinx для передачі та прийому пакетів одного із найпопулярніших стеку протоколів UDP/IP по фізичному каналу типу Ethernet, який за обсягом ресурсів FPGA значно випереджає подібні модулі, що представлені на ринку.

Для обміну даних між ЦП та FPGA розроблено проміжне IP-ядро, що реалізує протокол AMBA (Advanced Microcontroller Bus Architecture) версії AXI.

Приведені результати тестування даного модуля на реальній апаратурі за допомогою програми Wireshark, що дозволяє користувачу переглядати та аналізувати весь інтернет-трафік мережі у реальному часі. Модуль протестовано на різних розмірах корисних даних Ethernet-фрейму – від 48 до 1500 байт. Досягнута швидкість передачі даних складає 200 Мбіт/с.

Висновки. В результаті дослідження показано, що мережеві співпроцесори на основі ПЛІС дозволяють суттєво підвищити швидкість передачі даних між пристроями в комп'ютерних мережах.

Література: 1. Brahim Betkaoui, David B. Thomas, Wayne Luk. Comparing performance and energy efficiency of FPGAs and GPUs for high productivity computing // 2010 International Conference on Field-Programmable Technology, December, 2010. – p. 171-173. 2. Burak Batmaz, Atakan Dogan. UDP/IP Protocol Stack with PCIe Interface on FPGA // Int'l Conf. Embedded Systems and Applications, 2015. – p. 49-53. 3. 1G eth UDP IP stack. Simplified implementation // FIX QRL, 2017. - 22 p. 4. Bhavika A. Vithalapara, Abhimanyu Dhiman, Sudhir Agrawal, Shailendrasinh Palmar. Design and Implementation of TSEMAC and UDP/IP Network Stack on FPGA // International Journal of Engineering and Technical Research, May, 2015. – p. 178-181.