

НАЦІОНАЛЬНИЙ АЕРОКОСМІЧНИЙ УНІВЕРСИТЕТ ІМ. М.С. ЖУКОВСЬКОГО  
«ХАРКІВСЬКИЙ АВІАЦІЙНИЙ ІНСТИТУТ»  
МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ  
«ХАРКІВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ»  
МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

Кваліфікаційна наукова  
праця на правах рукопису

**ПУЙДЕНКО ВАДИМ ОЛЕКСІЙОВИЧ**

УДК 004.254.021

**ДИСЕРТАЦІЯ**  
**МЕТОДИ ТА ЗАСОБИ АПАРАТНОЇ РЕАЛІЗАЦІЇ ТА ВИБОРУ**  
**АЛГОРИТМІВ ЗАМІЩЕННЯ ДАНИХ У КЕШ – ПАМ'ЯТІ**  
**МІКРОПРОЦЕСОРІВ**

05.13.05 – Комп'ютерні системи та компоненти

12 – Інформаційні технології

Подається на здобуття  
наукового ступеня кандидата технічних наук

Дисертація містить результати власних досліджень. Використання ідей,  
результатів і текстів інших авторів мають посилання на відповідне джерело

*Здійняв за зм'ягом  
з першою редакцією  
дисертації засвідчує  
вчений секретар  
спеціалізованої вченої  
ради АБІ*

*В.О. Пуйденко*

*20.08.2021 р.*



  
В.О. Пуйденко

Науковий керівник:  
Харченко Вячеслав Сергійович,  
доктор технічних наук, професор

Харків – 2021

## АНОТАЦІЯ

Пуйденко В.О. Методи та засоби апаратної реалізації та вибору алгоритмів заміщення даних у кеш – пам'яті мікропроцесорів. – Кваліфікаційна наукова праця на правах рукопису.

Дисертація на здобуття наукового ступеня кандидата технічних наук (доктора філософії) за спеціальністю 05.13.05 – Комп'ютерні системи та компоненти (12 – Інформаційні технології). – Національний аерокосмічний університет ім. М.С. Жуковського «Харківський авіаційний інститут», Національний технічний університет «Харківський політехнічний інститут», Міністерство освіти і науки України, Харків, 2021.

Дисертаційна робота присвячена розв'язанню важливої науково-технічної задачі, яка полягає в розробленні методів та засобів апаратних реалізацій та вибору алгоритмів заміщення даних у кеш – пам'яті процесорів.

Метою роботи є підвищення швидкодії та надійності засобів апаратної реалізації алгоритмів заміщення процесорів шляхом розроблення і впровадження раціональних логічних структур для керування заміщенням даних з адаптацією і самоконтролем.

*Об'єктом дослідження* є процеси створення і оцінювання апаратної реалізації та вибору алгоритмів заміщення даних у кеш – пам'яті процесорів.

*Предметом дослідження* є моделі, методи і засоби апаратної реалізації та вибору алгоритмів заміщення даних у кеш – пам'яті процесорів.

У першому розділі дисертаційної роботи проведений аналіз відомих алгоритмів заміщення та аналіз літературних джерел. Детальний аналіз показує, що дослідження алгоритмів заміщення проводяться переважно на таких двох показниках кешу, як затримка та частота влучань. Кожна стратегія заміни являє собою компроміс між частотою влучань і затримкою. Вимірювання частоти влучань зазвичай виконуються в тестових програмах. Фактичний коефіцієнт влучання сильно варіюється від одного додатка до іншого. До того ж, у роботах

провідних авторів не приділена увага дослідженню таких важливих показників, як складність та надійність апаратних рішень алгоритмів заміщення. У першому розділі також проведений аналіз відомих комп'ютерних середовищ моделювання, що дало змогу обґрунтувати вибір комп'ютерного середовища моделювання засобів апаратної реалізації заміщення даних. Обґрунтування вибору комп'ютерного середовища моделювання здійснювалося з урахуванням наступних важливих критеріїв:

- можливість моделювання цифрових логічних схем апаратних рішень алгоритмів заміщення з використанням сучасної електронної елементної бази;
- можливість створення гнучких тестових програм керування синтезованими апаратними рішеннями алгоритмів заміщення з боку мікроконтролерів;
- можливість створення програмно – керованих затримок при управлінні апаратними рішеннями алгоритмів заміщення з боку мікроконтролерів;
- можливість створення програмних нештатних ситуацій при управлінні апаратними рішеннями засобів контролю апаратури алгоритмів заміщення з метою визначення їх працездатності.

Також перший розділ містить формулювання загальної і часткових задач досліджень з подальшим обґрунтування методики, математичного апарату та етапів досліджень.

У другому розділі розв'язано задачу підвищення швидкодії та зменшення складності реалізації алгоритмів заміщення PLRU та MFU кеш-пам'яті процесорів. Відомо, що для роботи алгоритму PLRU потрібно всього декілька бітів на множину елементів даних кешу. Це має надати певні переваги перед певними апаратними рішеннями таких алгоритмів заміщення, як LFU(LRU) та MFU.

У дисертаційній роботі для асоціативного кеш – буфера сторінкового перетворення з напрямками  $q=4$  та асоціативної кеш – пам'яті з напрямками  $q=8$  вперше запропонована модель синхронного цифрового автомату політики

заміщення даних за алгоритмом PLRU, яка описана відповідною складною перемикальною функцією.

Синтез автоматної моделі дозволив отримати мінімальні логічні рівняння апаратного рішення алгоритму заміщення PLRU. Отримане апаратне рішення алгоритму заміщення PLRU дало змогу провести дослідження таких характеристик, як швидкодія, складність та надійність.

У дисертаційній роботі вдосконалено апаратне рішення алгоритму заміщення PLRU за рахунок мінімізації логічної схеми PLRU шляхом міждієвального переходу у тригерних структурах. Мінімізація логічної схеми PLRU представлена двома варіантами: варіантом мінімізації на базі оновлення бітів стану за алгоритмом PLRU та варіантом на базі послідовності зміни  $q$  – індексу напрямку. Вдосконалення апаратного рішення алгоритму заміщення PLRU за обома варіантами дозволили покращити і відповідні характеристики: швидкодію, складність та надійність апаратури.

У дисертаційній роботі синтезована автоматна модель алгоритму заміщення MFU. Синтез автоматної моделі алгоритму дозволив отримати мінімальні логічні рівняння апаратного рішення алгоритму, що дало змогу побудувати відповідне апаратне рішення, дослідити характеристики апаратури та порівняти з дослідженими характеристиками апаратури алгоритму PLRU.

У третьому розділі приводиться розроблення та дослідження методу та апаратної реалізації адаптивного алгоритму заміщення. Попередньо був проведений аналіз сумісності алгоритмів заміщення з використанням матриць сумісності. Проведений аналіз дозволив висвітлити визначення сумісних алгоритмів заміщення. Включена до матриці множина алгоритмів дозволила виділити не тільки пари сумісних, але й їх тріади. У розділі також розв'язана задача апаратної реалізації заміщення даних для адаптивного алгоритму LFU–MFU, внаслідок чого вперше запропоновано метод і засоби реалізації адаптивних алгоритмів заміщення даних у кеш-пам'яті процесора, які на відміну від відомих базуються на побудові та аналізі матриць сумісності алгоритмів і надають змогу

обирати алгоритм заміщення залежно від результатів динамічного прогнозу галужень програми, що забезпечує підвищення швидкодії процесору.

У четвертому розділі удосконалено засоби контролю реалізації алгоритмів заміщення даних у кеш-пам'яті процесора за рахунок використання уніфікованої автоматної моделі, яка враховує кількість напрямків вибору даних при заміщенні, а також оцінок складності базових компонентів засобів контролю, що дозволяє оцінювати приріст достовірності функціонування на одиницю апаратних витрат.

Удосконалено метод вибору алгоритмів і засобів реалізації для заміщення даних у кеш-пам'яті процесора шляхом включення до множини алгоритмів алгоритми з контролем і адаптацією, їх упорядкування за показниками складності, швидкодії і достовірності, що дозволяє покращити відповідні показники процесора. Систематизовано і проаналізовано результати впровадження наукових результатів.

**Ключові слова:** асоціативна кеш – пам'ять, асоціативний кеш – буфер TLB, алгоритм заміщення даних PLRU, LRU, LFU, MFU, матриця сумісності, сумісні алгоритм заміщення даних, позитивно сумісні алгоритми заміщення даних, адаптивний алгоритм заміщення даних, синхронний цифровий автомат, швидкодія, складність, надійність, приріст достовірності, коефіцієнт ефективності функціонування, критерій вибору..

### **Список публікацій здобувача**

1. Пуйденко, Вадим Комп'ютерна модель блоку LRU кеш – пам'яті процесорного ядра архітектури IA-32 [Text] / Вадим Пуйденко // Матеріали Міжнародної науково – практичної конференції Інформаційні технології та комп'ютерне моделювання, ІТКМ – 2018, 14 - 19 травня, 2018, Івано - Франківськ, Україна. – С. 363 – 365.

2. Пуйденко, Вадим Оптимізація комп'ютерної моделі блоку LRU кеш – пам'яті процесорного ядра архітектури IA-32 [Text] / Вадим Пуйденко // Матеріали Міжнародної науково – практичної конференції Інформаційні технології та комп'ютерне моделювання, ІТКМ – 2019, 20 - 25 травня, 2019, Івано - Франківськ, Україна. – Р. 230-233.

3. Puidenko, V. The Minimizing of Hardware for Implementation of Pseudo LRU Algorithm for Cache Memory [Text] / Vadym Puidenko, Vyacheslav Kharchenko // The 11th IEEE International Conference on Dependable Systems, Services and Technologies, DESSERT'2020 14-18 May, 2020, Kyiv, Ukraine. – P. 63-71.

4. Пуйденко, В. О. Мінімізація логічної схеми для реалізації pseudo – LRU шляхом між типового переходу у тригерних структурах [Text] / В. О. Пуйденко, В. С. Харченко // Радіоелектронні і комп'ютерні системи. – 2020. – №2. – С. 33-47. DOI: 10.32620/reks.2020.2.03.

5. Puidenko, V. The Pseudo LRU Hardware Complexity Decreasing for Associative Cache Memory and Translation Look-a-Side Buffer [Text] / Vadym Puidenko, Vyacheslav Kharchenko // CERes Journal. – 2020. – Volume 6, Issue 1. – P. 142 – 153.

6. Пуйденко, В. О. Автоматні моделі та синтез засобів контролю апаратної реалізації алгоритмів заміщення кеш – пам'яті [Text] / В. О. Пуйденко, В. С. Харченко // Системи управління, навігації та зв'язку . – 2020. – Випуск 4 (62). – С. 34-39. DOI: 10.26906/SUNZ.2020.4.034.

7. Пуйденко, В. О. Алгоритм заміщення MFU: автоматна модель, синтез та оцінка апаратної реалізації [Text] / В .О. Пуйденко // Сучасні інформаційні системи. - 2020. – Т. 4, № 4. – С. 57-63. DOI: 10.20998/2522-9052.2020.4.08.

8. Пуйденко, В. О. Автоматна модель, синтез пристрою та адаптивного алгоритму заміщення для кеш – пам'яті [Text] / В. О. Пуйденко // Радіоелектронні і комп'ютерні системи. – 2020. – №4(96). – С. 68-78. DOI: 10.32620/reks.2020.4

## ABSTRACT

*Puidenko V.O.* Methods and means of hardware implementation and selection of data substitution algorithms in cache - memory of microprocessor. - Qualification scientific work as a manuscript.

Dissertation for the degree candidate of technical sciences (philosophy doctor) in specialty of 05.13.05 – Computer systems and components (12 - Information technologies). – National Aerospace University named after M.E. Zhukovsky «Kharkiv Aviation Institute», National Technical University «Kharkiv Polytechnic Institute», Ministry of Education and Science of Ukraine, Kharkiv, 2021

The dissertation is devoted to the solution of an important scientific and technical problem, which consists in the development of methods and means of hardware implementations and selection of algorithms for data substitution in the cache memory of processors.

The purpose of the work is to increase the high-speed performance and reliability of hardware implementation of processor substitution algorithms by developing and implementing rational logical structures to control the substitution of data with adapting and self-control.

*The research object* – the processes of creation and evaluation of hardware implementation and selection of algorithms for data substitution in processor cache.

*The research subject* – models, methods and means of hardware implementation and selection of algorithms for data substitution in the processor cache memory.

In the first chapter of the dissertation work, the analysis of known substitution algorithms and the analysis of references were carried out. Detailed analysis shows that the studies of substitution algorithms are carried out predominantly on two cache indicators, such as delay and hit rate. Each substitution strategy there is compromise between hit rate and delay.

Hit rate measurements are usually performed in test programs. The actual hit rate varies greatly from one application to another. In addition, the works of leading authors have not pay attention to the study of such important indicators as the complexity and

reliability of hardware solutions of substitution algorithms. The first chapter also analyzed the known computer simulation environments, which allowed to justify the choice of a computer simulation environment for hardware implementation of data substitution. Reasonable selection of the computer modeling environment was carried out taking into account the following important criteria:

- possibility of modeling digital logic schemes of hardware solutions of substitution algorithms using a modern electronic element base;
- possibility to create flexible test control programs of synthesized hardware solutions of substitution algorithms on the part of microcontrollers;
- possibility to create software-controlled delays when controlling hardware solutions of substitution algorithms on the part of microcontrollers;
- possibility to create software abnormal situations at control of hardware solutions of control hardware of substitution algorithms in order to determine their operability.

Also, the first chapter contains the formulation of the general and partial problems of the research to further substantiation of the methodology, mathematical apparatus and stages of research.

In the second chapter solved the task of increasing the speed and reducing the complexity of implementing PLRU and MFU substitution algorithms of processor cache. It is known that the PLRU algorithm requires only a few bits per cache multitude data elements. This should provide certain advantages over certain hardware solutions of replacement algorithms such as LFU (LRU) and MFU.

In the dissertation work for the associative translation look – a – side buffer with directions  $q = 4$  and for the associative cache memory with directions  $q = 8$  first proposed the synchronous digital automaton model of the data substitution algorithm according to the PLRU policy, which is described by the corresponding complex switching function. The synthesis of the automaton model allowed to obtain the minimal logical equations for the hardware solution of the PLRU substitution algorithm. The resulting hardware solution of the PLRU substitution algorithm allowed to research such characteristics as high-speed performance, complexity and reliability. In the

dissertation work, the hardware solution of the PLRU substitution algorithm is improved by minimizing the PLRU logic by inter-type transition in trigger structures.

Minimization logic of PLRU is represented by two options: a minimization option based on the update of state bits according to the PLRU algorithm and an option based on the sequence of changes  $q$  – the direction index. The improvement of the hardware solution of the PLRU substitution algorithm for the both options have improved the corresponding characteristics such as high-speed performance, complexity and reliability of hardware.

In the dissertation, an automaton model of the MFU substitution algorithm was synthesized. The synthesis of the algorithm automaton model allowed to obtain minimal logical equations, which allowed to build an appropriate hardware solution, investigate the characteristics of the equipment and compare with the investigated hardware characteristics of the PLRU algorithm.

The third chapter provides the development and study of the method and hardware implementation of the adaptive substitution algorithm. The compatibility analysis of substitution algorithms using compatibility matrices was previously performed. The produced analysis allowed to clarify the definition of compatible substitution algorithms. The set of algorithms, which included in the matrix, have allowed to detect not only pairs of compatible substitution algorithms, but also their triads.

In the third chapter, the problem of hardware implementation of data substitution for the LFU – MFU adaptive algorithm is solved, as a result of which for the first time a method and means of implementing adaptive data substitution algorithms in the processor cache are proposed, which, unlike the known ones, are based on the construction and analysis of compatibility matrices of algorithms and allow you to select a substitution algorithm depending on the results of dynamic prediction of the branching program, that increases high-speed performance of the processor.

In the fourth chapter presented improvement for the control of data substitution algorithms in the processor cache by using a unified automatic model that takes into account the number of data selection directions when substituting, as well as estimates

of the complexity of the basic components of the control tools, which allows you to estimate the increase in the reliability of operation per unit of hardware costs.

Also, in the dissertation chapter, the method of selecting algorithms and means of implementation for substitution data in the processor cache is improved by including algorithms with control and adaptation, their ordering by indicators of complexity, high-speed performance and reliability, which improves the corresponding processor indicators.

Keywords: associative cache - memory, associative TLB cache – buffer, PLRU, LRU, LFU, MFU, data substitution algorithm, compatibility matrix, compatible data replacement algorithm, positively compatible data substitution algorithm, adaptive substitution algorithm, synchronous digital automaton, high-speed performance, complexity, reliability, increase of reliability, functioning efficiency coefficient

*List of references:*

1. Puydenko, V. The computer's model of the memory cache LRU unit of the processor's core of the architecture IA-32 [Text] / Vadym Puydenko // International Conference Information Technologies and Computer modelling, ITCM – 2018, 18 - 23 May, 2018, Ivano-Frankivsk, Ukraine. – P. 363-365.
2. Puydenko, V. Optimization of the computer's model of the memory cache LRU unit of the processor's core of the architecture IA-32 [Text] / Vadym Puydenko // International Conference Information Technologies and Computer modelling, ITCM – 2019, 20 - 25 May, 2019, Ivano-Frankivsk, Ukraine. – P. 230-233.
3. Puidenko, V. The Minimizing of Hardware for Implementation of Pseudo LRU Algorithm for Cache Memory [Text] / Vadym Puidenko, Vyacheslav Kharchenko // The 11th IEEE International Conference on Dependable Systems, Services and Technologies, DESSERT'2020 14-18 May, 2020, Kyiv, Ukraine. – P. 63-71.
4. Puidenko, V. O. The minimizing of logical scheme for implementation of pseudo LRU by inter-type transition in trigger structures [Text] / V. O. Puidenko, V. S. Kharchenko // Radioelectronic and computer system. – 2020. – 2(94). – P. 33-47. DOI: 10.32620/reks.2020.2.03.

5. Puidenko, V. The Pseudo LRU Hardware Complexity Decreasing for Associative Cache Memory and Translation Look-a-Side Buffer [Text] / Vadym Puidenko, Vyacheslav Kharchenko // CERes Journal. – 2020. – Volume 6, Issue 1. – P. 142 – 153.

6. Puidenko, V The automaton models and synthesis of monitoring means for hardware implementation of cache memory substitution algorithms [Text] / V. Puidenko, V. Kharchenko // Control, navigation and communication system . – 2020. – Issue 4 (62). – P. 34-39. DOI: 10.26906/SUNZ.2020.4.034.

7. Puidenko, Vadym MFU substitution algorithm: automaton model, synthesis and assessment of the hardware implementation [Text] / Vadym Puidenko // Advanced Information Systems. - 2020. – Volume. 4, No 4. – P. 57-63. DOI: 10.20998/2522-9052.2020.4.08.

8. Puidenko, V. O. Automaton model, device synthesis and adaptive substitution algorithm for cache memory [Text] / V. O. Puidenko // Radioelectronic and computer system. – 2020. – 4(96). – P. 68-78. DOI: 10.32620/reks.2020.4

	2
ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ.....	7
ВСТУП.....	8
РОЗДІЛ 1 .....	16
АНАЛІЗ АЛГОРИТМІВ ЗАМІЩЕННЯ ТА ЗАСОБІВ АПАРАТНОЇ РЕАЛІЗАЦІЇ ЗАМІЩЕННЯ ДАНИХ У КЕШ – ПАМ’ЯТІ ПРОЦЕСОРІВ. ОБГРУНТУВАННЯ НАУКОВО – ПРИКЛАДНОЇ ЗАДАЧІ ДОСЛІДЖЕНЬ .....	16
1.1 Аналіз алгоритмів заміщення та засобів апаратної реалізації даних у кеш- пам’яті процесорів.....	16
1.1.1 Аналіз відомих алгоритмів заміщення.....	16
1.1.2 Показники для оцінювання характеристик засобів апаратної реалізації .....	22
1.2 Аналіз комп’ютерних середовищ моделювання.....	23
1.2.1 Аналіз відомих комп’ютерних середовищ моделювання .....	23
1.2.1.1 Аналіз комп’ютерного середовища моделювання Micro-Cap .....	23
1.2.1.2 Аналіз комп’ютерного середовища моделювання VisSim.....	25
1.2.1.3 Аналіз комп’ютерного середовища моделювання LabVIEW .....	25
1.2.1.4 Аналіз комп’ютерного середовища моделювання EWB .....	27
1.2.1.5 Аналіз комп’ютерного середовища моделювання PROTEUS .....	27
1.2.2 Обґрунтування вибору комп’ютерного середовища моделювання засобів апаратної реалізації заміщення даних .....	35
1.2.2.1 Обґрунтування вибору комп’ютерного середовища моделювання EWB ..	35
1.2.2.2 Обґрунтування вибору комп’ютерного середовища моделювання PROTEUS.....	36
1.2.3 Обґрунтування методики, математичного апарату та етапів досліджень .....	38
1.3 Висновки до розділу .....	39
РОЗДІЛ 2 .....	42
РОЗРОБЛЕННЯ ТА ДОСЛІДЖЕННЯ АВТОМАТНОЇ МОДЕЛІ І РЕАЛІЗАЦІЇ АЛГОРИТМІВ ЗАМІЩЕННЯ ДАНИХ У КЕШ-ПАМ’ЯТІ ПРОЦЕСОРА .....	42

2.1	Розроблення автоматної моделі для реалізації алгоритму PLRU .....	42
2.2	Розроблення та дослідження засобів підвищення швидкодії та зменшення складності апаратури алгоритму PLRU .....	60
2.2.1	Розроблення засобів підвищення швидкодії та зменшення складності апаратури алгоритму pseudo LRU .....	60
2.2.2	Дослідження засобів підвищення швидкодії та зменшення складності апаратури алгоритму PLRU.....	80
2.3	Розроблення та дослідження автоматної моделі, засобів підвищення швидкодії та зменшення складності апаратури алгоритму MFU.....	83
2.3.1	Розроблення автоматної моделі для реалізації алгоритму MFU .....	83
2.3.2	Розроблення засобів підвищення швидкодії та зменшення складності апаратури алгоритму MFU .....	86
2.3.3	Дослідження засобів підвищення швидкодії та зменшення складності апаратури алгоритму MFU .....	93
2.3.4	Розроблення автоматної моделі для реалізації алгоритму LFU .....	98
2.3.5	Розроблення засобів підвищення швидкодії та зменшення складності апаратури алгоритму LFU .....	101
2.3.6	Дослідження засобів підвищення швидкодії та зменшення складності апаратури алгоритму LFU .....	110
2.4	Висновки по розділу .....	114
РОЗДІЛ 3 .....		116
РОЗРОБЛЕННЯ ТА ДОСЛІДЖЕННЯ МЕТОДУ ТА АПАРАТНОЇ РЕАЛІЗАЦІЇ АДАПТИВНИХ АЛГОРИТМІВ ЗАМІЩЕННЯ ДАНИХ У КЕШ-ПАМ'ЯТІ ПРОЦЕСОРА.....		116
3.1	Аналіз алгоритмів заміщення з використанням матриць сумісності .....	116
3.1.1	Формування множини алгоритмів заміщення.....	117
3.1.2	Розроблення матриць сумісності пар алгоритмів заміщення .....	120

3.1.3 Особливості розроблення багатомірних матриць сумісності.....	121
3.1.4 Критерії вибору алгоритмів для адаптивних схем заміщення даних .....	122
3.1.5 Етапи вибору алгоритмів для адаптивних схем заміщення даних.....	122
3.2 Розроблення і дослідження засобів реалізації заміщення даних для адаптивного алгоритму LFU – MFU.....	123
3.2.1 Розроблення автоматної моделі для реалізації адаптивного алгоритму LFU – MFU.....	123
3.2.2 Розроблення засобів підвищення швидкодії та зменшення складності апаратури адаптивного алгоритму LFU–MFU .....	125
3.2.3 Дослідження засобів підвищення швидкодії та зменшення складності апаратури адаптивного алгоритму LFU – MFU .....	133
3.3 Висновки до розділу.....	137
РОЗДІЛ 4 .....	139
РОЗРОБЛЕННЯ І ВПРОВАДЖЕННЯ МЕТОДУ ВИБОРУ І ЗАСОБІВ РЕАЛІЗАЦІЇ АЛГОРИТМІВ ЗАМІЩЕННЯ ДАНИХ У КЕШ-ПАМ'ЯТІ ПРОЦЕСОРІВ.....	139
4.1 Розроблення та дослідження автоматної моделі і засобів реалізації алгоритмів заміщення даних з вбудованим контролем.....	139
4.1.1 Розроблення автоматної моделі апаратного контролю алгоритмів заміщення даних без елементів пам'яті .....	139
4.1.2 Розроблення засобів підвищення швидкодії та зменшення складності апаратного контролю помилок без елементів пам'яті.....	140
4.1.3 Розроблення автоматної моделі апаратного контролю алгоритмів заміщення даних з елементами пам'яті.....	144
4.1.4 Показники достовірності і надійності засобів реалізації алгоритмів заміщення даних з вбудованим контролем.....	145

4.1.4.1 Оцінювання достовірності модифікованого алгоритму PLRU min ( $q=8$ ) та засобів контролю апаратури без елементів пам'яті .....	147
4.1.4.2 Оцінювання достовірності модифікованого алгоритму PLRU ( $q=8$ ) та засобів контролю апаратури без елементів пам'яті .....	151
4.1.4.3 Оцінювання достовірності модифікованого алгоритму PLRU ( $q=8$ ) та засобів контролю апаратури з елементами пам'яті .....	154
4.1.4.4 Оцінювання достовірності модифікованого сумісного алгоритму LFU (MFU) ( $q=63 \rightarrow q=4$ ) та засобів контролю апаратури з пам'яттю .....	158
4.1.4.5 Оцінювання достовірності адаптивного алгоритму LFU – MFU ( $q=63 \rightarrow q=4$ ) та засобів контролю апаратури з пам'яттю .....	163
4.2 Метод вибору алгоритмів і засобів реалізації алгоритмів заміщення даних у кеш-пам'яті процесорів .....	167
4.2.1 Постановка задачі вибору .....	167
4.2.2 Метод вибору алгоритму заміщення .....	168
4.2.3 Приклад вибору алгоритму заміщення .....	172
4.3 Висновки по розділу .....	176
ВИСНОВКИ .....	179
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ .....	181
ДОДАТОК А .....	197
СПИСОК ПУБЛІКАЦІЙ ЗДОБУВАЧА .....	197
ДОДАТОК Б .....	199
АКТИ ВПРОВАДЖЕННЯ РЕЗУЛЬТАТІВ НАУКОВИХ ДОСЛІДЖЕНЬ ДИСЕРТАЦІЙНОЇ РОБОТИ .....	199
ДОДАТОК В .....	203
СЕРВІСНИЙ ПРОГРАМНИЙ КОД РОЗПОДІЛУ КОМБІНАЦІЙ СТАНУ БІТІВ В6...В0 ЗА НАПРЯМКАМИ L7...L0 .....	203
ДОДАТОК Г .....	209

ПРОГРАМНИЙ КОД ПРОЄКТУ ТЕСТУВАННЯ СЕЛЕКЦІЇ НАПРЯМКІВ L0, L1, L2, L3 ЗА АЛГОРИТМОМ ЗАМІЩЕННЯ LFU .....	209
ДОДАТОК Д .....	219
ПРОГРАМНИЙ КОД ПРОЄКТУ ТЕСТУВАННЯ СЕЛЕКЦІЇ НАПРЯМКІВ L0, L1, L2, L3 ЗА СУМІСНИМ АЛГОРИТМОМ ЗАМІЩЕННЯ MFU.....	219
ДОДАТОК Е .....	228
ПРОГРАМНИЙ КОД ПРОЄКТУ ТЕСТУВАННЯ СЕЛЕКЦІЇ НАПРЯМКІВ L0, L1, L2, L3 ЗА АДАПТИВНИМ АЛГОРИТМОМ ЗАМІЩЕННЯ LFU – MFU.....	228
ДОДАТОК Ж .....	232
ПРОГРАМНИЙ КОД ПРОЄКТУ ТЕСТУВАННЯ АПАРАТУРИ КОНТРОЛЮ АЛГОРИТМІВ ЗАМІЩЕННЯ ЗА НАПРЯМКАМИ L0, . , L3, L0, . , L7 ТА L0,., L62.....	232