МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
«ХАРКІВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ»
Навчально-науковий інститут комп'ютерного моделювання,
прикладної фізики та математики

**Ю.І. Под'ячий, Г.Ю. Під'ячий**

# СХЕМОТЕХНІКА ЦИФРОВИХ ФУНКЦІОНАЛЬНИХ ВУЗЛІВ

Конспект лекцій для студентів спеціальностей
105 – Прикладна фізика та наноматеріали,
172 – Електронні комунікації та радіотехніка.

Харків
2023

В лекціях розглянуті основні функціональні вузли цифрової електроніки комбінаційного і послідовністного типів, зокрема дешифратори, мультиплексори, компаратори, суматори, тригери, регістри, лічильники.

Функціональні вузли виконують типові для цифрових пристроїв мікрооперації. Ці мікрооперації відповідають нижчому ієрархічному рівню внутрішньої мови цифрового пристрою, вони не містять інших операцій мови ЦУ. Наведені структура і схемотехніка основних функціональних вузлів. Поясняються принципи їх роботи. На основі таблиць істинності синтезуються їх схеми з базових логічних елементів. Наведені приклади моделювання окремих пристроїв в програмному середовищу Multisim.

Зміст лекцій відповідає вимогам бакалаврату спеціальностей 105 – Прикладна фізика та наноматеріали, 172 – Електронні комунікації та радіотехніка з навчальних дисципліни "Цифрова електроніка" і "Схемотехніка телекомунікаційних пристроїв".

# З М І С Т

Функціональні вузли комбінаційного типу ..... 4
Дешифратор ..... 5
Шифратор ..... 7
Мультиплексор ..... 8
Демультиплексор ..... 9
Компаратор ..... 10
Суматор ..... 12
Функціональні вузли послідовністного типу ..... 16
Тригери ..... 16
Асинхронний RS-тригер ..... 17
Синхронний RS-тригер ..... 18
Т-тригер ..... 20
D-тригер ..... 21
Синхронний JK-тригер ..... 22
Трійковий тригер ..... 24
Регістри ..... 25
Паралельні регістри ..... 25
Послідовні регістри ..... 25
Лічильники ..... 27

## ФУНКЦІОНАЛЬНІ ВУЗЛИ КОМБІНАЦІЙНОГО ТИПУ

Функціональні вузли виконують типові для цифрових пристроїв мікрооперації. Ці мікрооперації відповідають нижчому ієрархічному рівню внутрішньої мови цифрового пристрою, вони не містять інших операцій мови ЦП.

Як і всі цифрові пристрої, функціональні вузли поділяються на *комбінаційні* і *послідовні*. Надалі для стислості комбінаційні вузли позначатимемо абревіатурою КЦП (комбінаційні цифрові пристрої), а послідовні – абревіатурою ПЦП (послідовністні цифрові пристрої).

У комбінаційних пристроях значення сигналів на виході в будь-який момент часу визначаються значеннями сигналів на вході в цей момент часу, і не залежать від того, які сигнали подавалися на входи в попередні моменти часу. Іншими словами, ці пристрої, що складаються лише з логічних елементів, позбавлені пам'яті: вони не зберігають інформацію про минуле. Вхідні та вихідні сигнали комбінаційних пристроїв можуть приймати тільки два значення − 1 або 0.

У теоретичних розглядах зазвичай вважається, що сигнали на виході комбінаційного пристрою з'являються в той же самий момент, коли на входи устрою надходять вхідні сигнали, які їх ініціюють, тобто їхня швидкодія вважається нескінченною. У реальних електронних приладах затримка вихідного сигналу становить $10^{-9}$-$10^{-10}$ секунд щодо вхідного сигналу, а в складних пристроях з послідовним з'єднанням багатьох логічних елементів затримки сумуються.

Комбінаційні вузли та блоки цифрових пристроїв або збирають з окремих логічних елементів (мікросхем малого ступеня інтеграції), або виготовляють у вигляді систем середнього ступеня інтеграції, або вони входять до складу ВІС та НВІС (великих та надвеликих інтегральних схем). Різні типи комбінаційних вузлів і блоків широко використовуються в пристроях введення-виведення та управління, в операційних запам'ятовуючих пристроях сучасних цифрових систем.

У нашому курсі будуть розглянуті прості комбінаційні пристрої – дешифратори, шифратори, мультиплексори, компаратори та суматори. При цьому схеми пристроїв будуть складені з простих логічних елементів.

**Дешифратор**

У цифрових пристроях широко використовуються два цифрові коди – *двійковий та унітарний*.

*Десяткова та двійкова* системи відносяться до позиційних систем числення. Це означає, що значення кожної цифри залежить від позиції, яку вона посідає у числі.

Приклад десяткового числа:

$(1024)_{10} = 1\cdot10^3 + 0\cdot10^2 + 2\cdot10^1 + 4\cdot10^0 = 1000 + 0 + 20 + 4 = (1024)_{10}$.

Приклад двійкового числа:

$(10011101)_2 = 1\cdot2^7 + 0\cdot2^6 + 0\cdot2^5 + 1\cdot2^4 + 1\cdot2^3 + 1\cdot2^2 + 0\cdot2^1 + 1\cdot2^0 =$

$= 128 + 0 + 0 + 16 + 8 + 4 + 0 + 1 = (157)_{10}$.

Очевидно, що значення одиниці у восьмому розряді двійкового числа $(128)_{10}=(1000000)_2$ відрізняється від одиниці у п'ятому розряді $(16)_{10}=(10000)_2$ або четвертому $(8)_{10} = (1000)_2$.

*Прямий унітарний код* – це код, у якому лише в одному розряді 1, а інших розрядах 0. Цей код ще називають кодом "1 з N" . Наприклад, 0010, 00001000.

*Зворотний (інверсний) унітарний код* – це код, у якому лише в одному розряді 0, а інших 1. Цей код називають кодом "0 з N" . Наприклад, 1101, 11110111.

Ці коди часто використовуються для призначення лінії шини або пристрою, на який слід подати сигнал.

*Дешифратор* (*декодер*) − це пристрій, що перетворює *n*-розрядне двійкове число в унітарний код. Дешифратор має *n* входів та $2^n$ виходів.

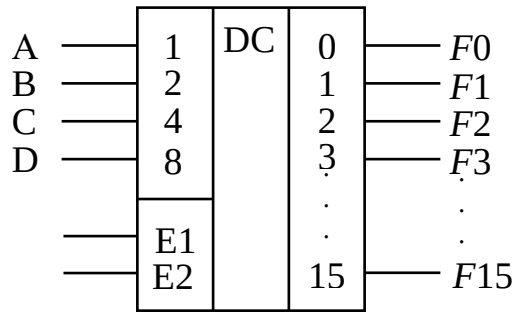



Рисунок 1

*Повним* називають дешифратор, у якому використовуються усі $2^n$ виходів; якщо частина виходів не використовуються, то дешифратор – *неповний*.

Схемне позначення дешифратора з чотирма входами показано рисунку 1. Тут A, B, C, D – інформаційні входи, F0…F15 – виходи, E1, E2 – входи дозволу операції (*enable* – дозволяти)

Таблиця істинності для дешифратора з двома входами має вигляд:

| A | B | F0 | F1 | F2 | F3 |
|---|---|---|---|---|---|
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 |

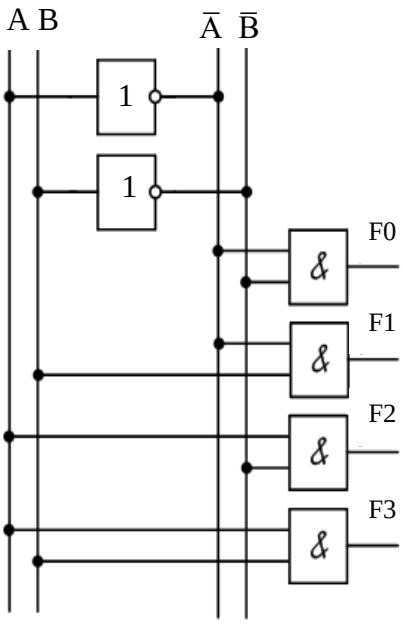



Рисунок 2

Зв'язок вихідних та вхідних сигналів виражається простими логічними функціями:

$$F0 = \overline{A} \cdot \overline{B};\ \ F1 = \overline{A} \cdot B;$$

$$F2 = A \cdot \overline{B};\ \ F3 = A \cdot B.$$

За цією системою виразів нескладно збудувати схему дешифратора (рисунок 2).

Дешифратори належать до швидкодіючих пристроїв. Одночасно його схема відноситься і до вельми невдалих, тому що в ній за простої внутрішньої структури є багато зовнішніх виводів. Тому промисловістю випускаються дешифратори з кількістю інформаційних входів трохи більше 4.

Для збільшення розмірності дешифратора використовуються спеціальні схеми. На рисунку 3 показана схема дешифратора на 6 інформаційних входів та 64 виходи, побудована на основі 4-х входових дешифраторів.

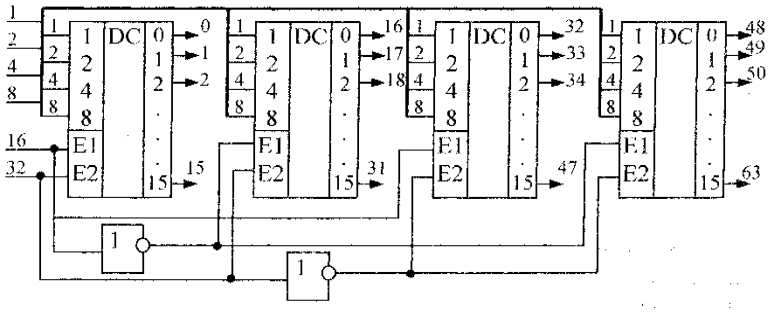



Рисунок 3

**Шифратор**

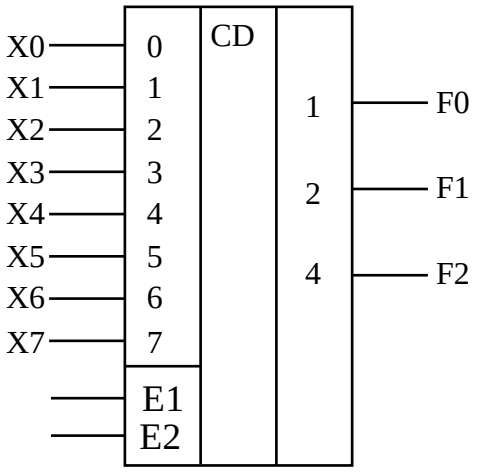



Рисунок 4

Двійковий *шифратор* (*кодер*) виконує операцію, зворотну операції, що виконується дешифратором: він перетворює унітарний код (код "1 з N") в двійковий код.

При надходженні сигналу на один з входів шифратора на його виході формується двійковий код номера входу, на який надійшов сигнал.

Повний двійковий шифратор має $2^n$ входів та $n$ виходів. Умовне позначення шифратора із трьома виходами ($n$=3) показано рисунку 4.

Таблиця істинності шифратора, що має 8 входів та 3 виходи:

| X7 | X6 | X5 | X4 | X3 | X2 | X1 | X0 | F2 | F1 | F0 |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | | | 1 | 0 | 0 | 0 |
| | | | | | | 1 | | 0 | 0 | 1 |
| | | | | | 1 | | | 0 | 1 | 0 |
| | | | | 1 | | | | 0 | 1 | 1 |
| | | | 1 | | | | | 1 | 0 | 0 |
| | | 1 | | | | | | 1 | 0 | 1 |
| | 1 | | | | | | | 1 | 1 | 0 |
| 1 | | | | | | | | 1 | 1 | 1 |

Система логічних функцій у КНФ, що описують його роботу, має вигляд:

$$F0 = X1 + X3 + X5 + X7$$

$$F1 = X2 + X3 + X6 + X7$$

На рисунку 5 дана модель шифратора, реалізованого на елементах 4АБО в програмі Multisim 11.

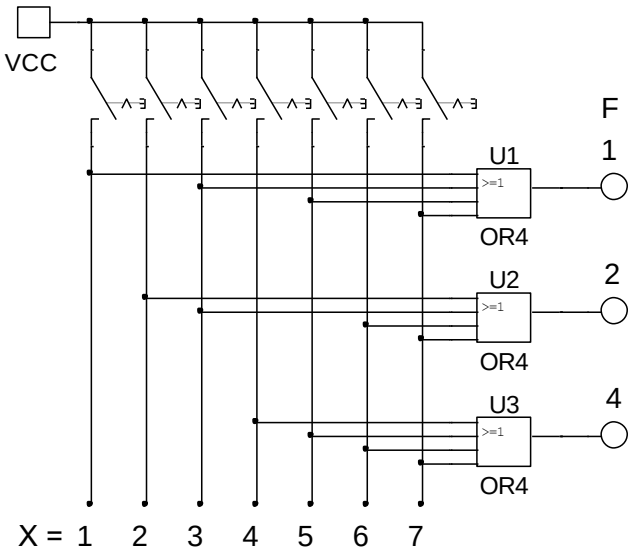
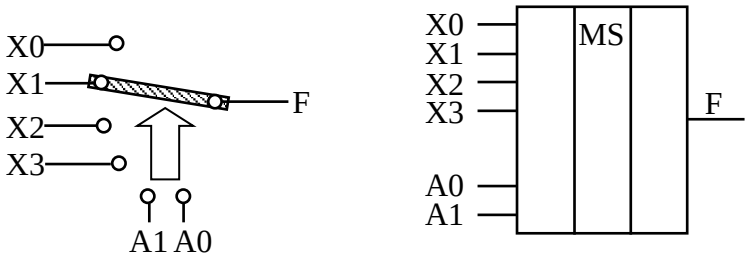



Рисунок 5

**Мультиплексор**

Мультиплексор – пристрій, що виконує операцію підключення виходу до одного з кількох входів відповідно до зазначеної адреси. Мультиплексор має n інформаційних входів та один вихід. Число адресних входів визначається формулою $A_n = \log_2 n$.

Електротехнічним аналогом мультиплексора є багатопозиційний перемикач, положення якого визначається значенням адресного коду. Умовна схема такого чотирипозиційного перемикача зображена на рисунку 6а, а схемне позначення відповідного мультиплексора − на рисунку 6б. Там X0 … X3 – інформаційні входи, A0, A1 – адресні входи, F – вихід. (Мультиплексори позначають як MUX (від англ. − *multiplexer*), а також MS (від англ. − *multiplexer selector*)).




*а*) *б*)

Рисунок 6

| A1 | A0 | F |
|---|---|---|
| 0 | 0 | X0 |
| 0 | 1 | X1 |
| 1 | 0 | X2 |
| 1 | 1 | X3 |

Принцип роботи цього мультиплексора описується таблицею істинності та логічною функцією:

$$F = X0 \cdot \overline{A1} \cdot \overline{A0} + X1 \cdot \overline{A1} \cdot A0 + X2 \cdot A1 \cdot \overline{A0} + X3 \cdot A1 \cdot A0.$$

Функціональна схема мультиплексора наведена на рисунку 7. Тут для розкодування двійкової адреси застосований двохвходовий дешифратор.

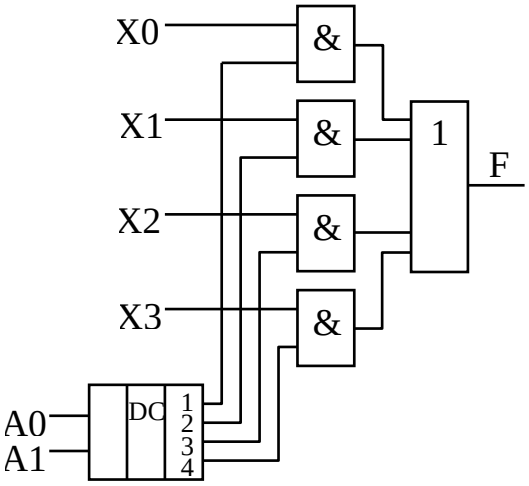



Рисунок 7

Мультиплексор, зображений на рисунку 7, називають однорозрядним, тому що він має один вихід. Мультиплексори для комутації багаторозрядних слів складаються з однорозрядних.

Деякі типи мультиплексорів мають вхід дозволу роботи, що позначається зазвичай буквою E. За відсутності дозволу (E=0) вихід мультиплексора стає нульовим незалежно від інформаційних і адресних сигналів.

У стандартних серіях мікросхем розмірність мультиплексорів не більше 16 на 1 (16 входів, 1 вихід).

**Демультиплексор**

*Демультиплексор* − це логічний пристрій, призначений для перемикання сигналу з одного інформаційного входу на один з інформаційних виходів, відповідно до адреси, що задається. Таким чином, демультиплексор у функціональному відношенні протилежний мультиплексору.

Схемне позначення демультиплексора дано рисунку 8. На схемах демультиплексори позначають скороченнями DMX чи DMS.

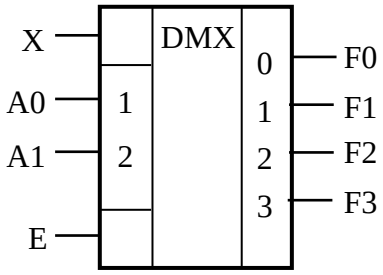



Рисунок 8

Таблиця істинності для демультиплексора з двома виходами:

| Адреса A | Вхід X | Вихід F0 | Вихід F1 |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 |

Логічні функції для описання його роботи:

$$F0 = \overline{A} \cdot X; \quad F1 = A \cdot X.$$

Схема демультиплексора з двома виходами (рисунок 9):

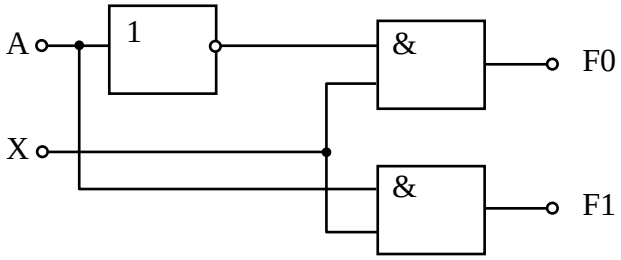



Рисунок 9

Таблиця істинності для демультиплексора з чотирма виходами:

| X | A1 | A0 | F3 | F2 | F1 | F0 |
|---|---|---|---|---|---|---|
| 1 | 0 | 0 | | | | 1 |
| 1 | 0 | 1 | | | 1 | |
| 1 | 1 | 0 | | 1 | | |
| 1 | 1 | 1 | 1 | | | |

Логічні функції для описання його роботи:

$$F0 = X \cdot \overline{A1} \cdot \overline{A0}; \quad F1 = X \cdot \overline{A1} \cdot A0; \quad F2 = X \cdot A1 \cdot \overline{A0}; \quad F3 = X \cdot A1 \cdot A0.$$

Схема демультиплексора з чотирма виходами наведена на рисунку 10.

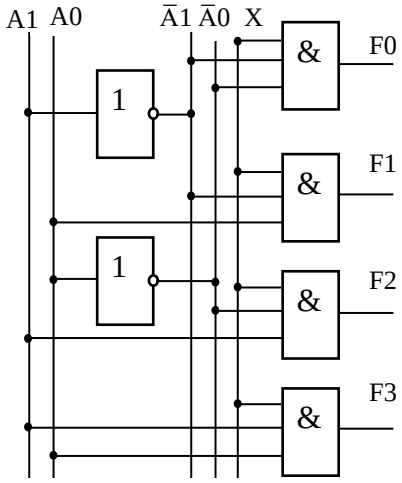



Рисунок 10

**Компаратор**

Компаратор − це пристрій, що виконує операцію визначення відношення між словами.

Основні співвідношення – РІВНО і БІЛЬШЕ. Інші співвідношення можуть бути виражені через основні. Так, ознаку "нерівності" слів можна

отримати як заперечення ознаки рівності:

$$F_{A\neq B} = \overline{F}_{A=B}.$$

Відношення "менше" можна отримати шляхом заперечення ознаки більше:

$$F_{A<B} = \overline{F}_{A>B}.$$

Таблиця 1

| A | B | $F_{A=B}$ | $F_{A>B}$ | $F_{A<B}$ |
|---|---|---|---|---|
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |

Таблиця істинності узагальненого найпростішого однорозрядного компаратора має дві вхідні змінні (A і B) і три вихідні функції ($F_{A=B}$, $F_{A>B}$, $F_{A<B}$). Ці функції приймають значення 1, якщо відповідне співвідношення між вхідними змінними виконується; якщо співвідношення між вхідними змінними не виконується, ці функції приймають значення 0.

У логічних пристроях часто використовується логічний елемент "Складання по модулю 2" − F=A⊕B ("Виключне АБО").

Таблиця істинності для операцій A⊕B та $\overline{A\oplus B}$:

Таблиця 2

| A | B | A⊕B | $\overline{A\oplus B}$ |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

Порівнюючи Таблицю 1 та Таблицю 2, можна бачити, що

$$F_{A=B} = \overline{A\oplus B} \qquad (1)$$

Таблиця істинності для операцій A·B, A·$\overline{B}$, $\overline{A}$·B.

Таблиця 3

| A | B | $\overline{A}$ | $\overline{B}$ | A·B | A·$\overline{B}$ | $\overline{A}$·B |
|---|---|---|---|---|---|---|
| 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 |

Порівнюючи таблиці 1 та 3, можна записати:

$$F_{A>B} = A \cdot \overline{B}. \qquad (2)$$

$$F_{A<B} = \overline{A} \cdot B. \qquad (3)$$

Схема однорозрядного компаратора показана на рисунку 11. В ній логічний елемент М2 виконує операцію складання по модулю 2 з інверсією, тобто $\overline{A \oplus B}$.

Позначення чотирьохрозрядного компаратора наведено на рисунку 12.

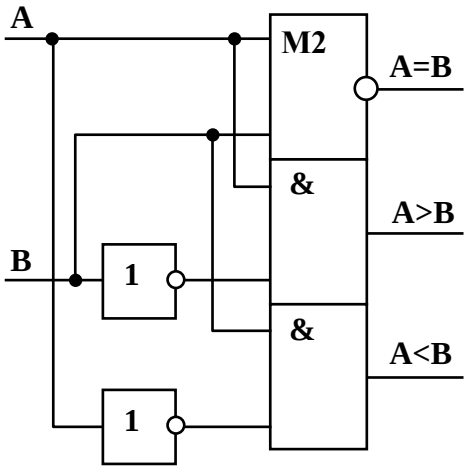



Рисунок 11

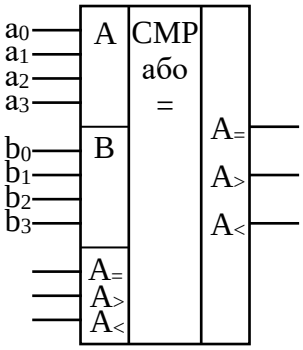



Рисунок 12

**Суматор**

*Суматор* - це пристрій, що виконує операцію арифметичного (а не логічного) складання та віднімання чисел. В цифровій електроніці найбільшого поширення набули суматори двійкових чисел.

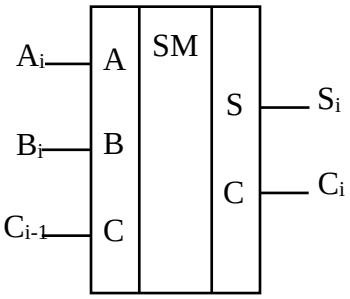
Розглянемо приклад додавання двох двійкових чисел.

| Перенос | C | | 1 | 1 | | | |
|---|---|---|---|---|---|---|---|
| 1-е число | A | + | | 1 | 1 | 1 | 0 |
| 2-е число | B | | | 1 | 1 | 0 | 0 |
| Сума | S | = | 1 | 1 | 0 | 1 | 0 |

При виконанні цієї операції здійснюється дві дії: а) підсумовування розрядів 2-х чисел і б) перенесення до старшого розряду одиниці. (Зауважимо, що перенесена одиниця з попереднього розряду бере участь у

додаванні розрядів чисел A і B). Відповідно і суматор повинен виконувати ці дії.

Одноразрядний суматор має три входи та два виходи. Його умовне позначення показано рисунку 13.




Тут $A_i$, $B_i$ - числа, що сумуються в і-тому розряді, $C_{i-1}$ - сигнал перенесення з попереднього розряду, $S_i$ - сума чисел і-того розряду, $C_i$ - сигнал перенесення в старший розряд.

Рисунок 13

Таблиця істинності одноразрядного суматора:

Таблиця 1

| Входи | | | Виходи | |
|---|---|---|---|---|
| $A_i$ | $B_i$ | $C_{i-1}$ | $S_i$ | $C_i$ |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Таблиця істинності для функції "Складання по модулю 2" для двох и трьох змінних:

Таблиця 2

| A | B | A⊕B | C | A⊕B⊕C |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 |

Стовбець $S_i$ таблиці 1 і стовбець A⊕B⊕C таблиці 2 однакові. Тому можна справедлива рівність:

$$S_i = A_i \oplus B_i \oplus C_{i-1}. \qquad (1)$$

Використовуючи таблиці істинності для функцій І, АБО і таблицю 2, можна записати формулу для сигналу переносу:

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1}. \qquad (2)$$

Для перевірки складемо таку таблицю:

Таблиця 3.

| $A_i$ | $B_i$ | $C_{i-1}$ | $(A\oplus B)\cdot C_{i-1}$ | $A_i \cdot B_i$ | $A_i \cdot B_i + (A\oplus B)\cdot C_{i-1}$ |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 |

Стовбець $C_i$ таблиці 1 і останній стовбець таблиці 3 однакові. Тому рівність 2 вірна.

Відповідно до формул (1, 2) складається функціональна схема одноразрядного суматора (рисунок 14).

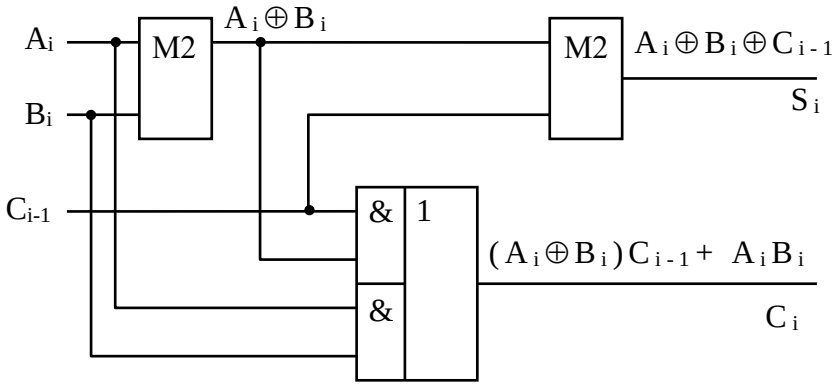



Рисунок 14

Складність схеми суматора визначає його швидкодію. Від цього параметра в великій мірі залежить швидкодія арифметико-логічних пристроїв, ядром яких і є суматори. Існують багато варіантів їх схем, використання яких визначається оптимізацією системи. Згадаємо два найбільш поширених типа.

*Послідовний суматор*. Такий суматор містить лише один однорозрядний суматор, який почергово обробляє розряди чисел, що сумуються, починаючи з молодшого. Після складання молодшого розряду такий суматор виробляє суму для цього розряду і сигнал переносу в наступний розряд, який запам'ятовується на один такт. В наступному такті сумуються числа цього розряду з переносом з попереднього розряду. Схема послідовного суматора, окрім самого однорозрядного суматора, містить регістр зсуву

чисел, що складаються, і суми, а також тригер для короткочасного запам'ятовування сигнала переносу.

Часова діаграма складання двох двійкових чисел 101+110=1011 показана на рисунку 15.

| Перенос | C | | 1 | | | |
|---|---|---|---|---|---|---|
| 1-е число | A | + | | 1 | 0 | 1 |
| 2-е число | B | | | 1 | 1 | 0 |
| Сума | S | = | 1 | 0 | 1 | 1 |

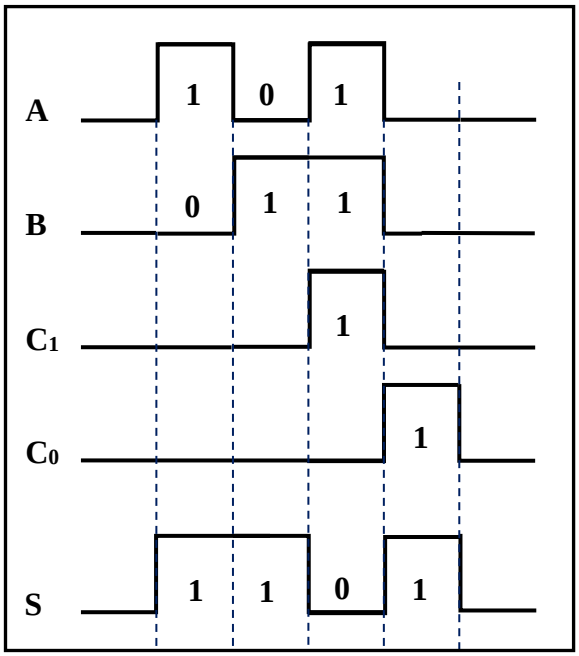



Рисунок 15

*Паралельний суматор з паралельним переносом*. Суматори цього типу мають найбільшу швидкодію. Це досягається тим, що розряди чисел, що сумуються, обробляються не послідовно – від молодшого розряду до старшого, − а одночасно, тобто паралельно в часі. Сигнали переносу формуються окремими схемами для кожного розряду. Для цього на їх схеми подаються всі необхідні змінні. Однорозрядні суматори, що входять в схему, мають більш просту конструкцію, тому що від них не потребується формування переносу.

Тривалість підсумування в паралельних суматорах теоретично не залежить від розрядності чисел, що сумуються. Але на практиці зростання розрядності призводить до збільшення навантаження елементів схеми, яке в свою чергу збільшує їх затримки.

## ФУНКЦІОНАЛЬНІ ВУЗЛИ ПОСЛІДОВНІСТНОГО ТИПУ

Цифровий пристрій називається послідовністним (ПЦП), якщо його вихідні сигнали залежать не тільки від значень вхідних сигналів у даний момент часу (як у комбінаційних пристроях), але і від значень вхідних сигналів, що надходили в попередні моменти часу. Інакше кажучи, ПЦП має відстежувати послідовність надходження вхідних сигналів на формування результату свого виходу. Цим пояснюється назва пристроїв. У ПЦП передісторія надходження вхідних сигналів обов'язково фіксується за допомогою спеціальних елементів, що запам'ятовують. Тому такі пристрої називають елементами з пам'яттю. Найпростіший елемент пам'яті може приймати один із двох станів – логічну одиницю або логічний нуль. Цей стан може зберігатися як завгодно довго, доки не буде замінено на новий. Послідовністні цифрові пристрої називаються також цифровими автоматами, кінцевими автоматами або автоматами з пам'яттю. Як елемент пам'яті в ПЦУ найчастіше використовуються тригери.

### Тригери

*Тригер* − це пристрій, що має два або кілька стійких станів. Тригер має один або кілька входів і (як правило) два виходи – прямий та інверсний. Стан тригера визначається значенням сигналу на прямому виході (1 чи 0). За відсутності зовнішніх впливів стійкий стан тригера може зберігатися як завгодно довго.

Перехід тригера з одного стійкого стану в інший відбувається стрибкоподібно при дії керуючих вхідних сигналів (англ. *trigger* − "собачка, клямка, спусковий гачок").

Головне! Стан тригера залежить не тільки від значення вхідних сигналів на даний час, а й від стану тригера в попередні моменти часу.

Спочатку тригери створювалися на дискретних елементах – реле, лампах, транзисторах. В даний час використовуються в основному інтегральні тригери.

В інтегральній схемотехніці тригери створюються або на основі логічних інтегральних елементів, або як самостійні інтегральні елементи.

Класифікація потенційних тригерів (їх стан визначається рівнем потенціалу на виході) здійснюється за двома ознаками.

За *функціональною ознакою* тригери класифікуються за способом організації логічних зв'язків між входами і виходами тригера в певні дискретні моменти часу до і після появи вхідних сигналів. За цією класифікацією розрізняють такі типи тригерів: RS-, JK-, D-, T-тригери. Ці тригери характеризуються числом логічних входів та функціональним призначенням.

За *способом введення* (*оновлення*) інформації:

- *Асинхронний* тригер змінює свій стан у момент появи відповідного інформаційного сигналу на вході.
- *Синхронні* (*тактовані*) тригери реагують на інформаційні вхідні сигнали лише за наявності відповідного сигналу так званому вході синхронізації С (від англ. *clock*). Такі інформаційні сигнали називають синхронними. Синхронні тригери своєю чергою поділяють на тригери зі статичним і динамічним управлінням входу синхронізації С.

Кожна із систем класифікації характеризує тригери за різними показниками і тому доповнює одна одну. Наприклад, тригери RS-типу можуть бути в синхронному та асинхронному виконанні.

Розглянемо схемотехніку основних типів тригерів.

**Асинхронний RS-тригер**

RS-тригер має два інформаційних входи − S (*set* – установка), R (*reset* – відновлення) і два виходи – *прямий* Q та *інверсний* $\overline{Q}$. Стан тригера визначається значенням сигналу на прямому виході Q.

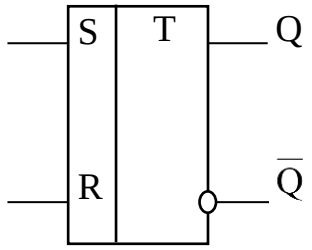


Рисунок 16

Схемне позначення RS-тригера наведено рисунку 16.

Тригер працює так. Якщо S=0 та R=0 тригер не змінює свого стану. Тобто тригер пам'ятає свій стан − які сигнали були на виході до подачі нульових сигналів на входи, такі і залишаються. При S=1 і R=0 тригер приймає одиничний стан (Q = 1, $\overline{Q}$ = 0), а при S=0, R=1 − нульовий (Q=0, і $\overline{Q}$ = 1). Комбінація вхідних сигналів S=1 і R=1 не допустима (заборонена).

Робота RS-тригера описується *таблицею переходів*.

| Q(t) | $\overline{Q}$(t) | S | R | Q(t+1) | $\overline{Q}$(t+1) |
|---|---|---|---|---|---|
| 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | × | × |
| 1 | 0 | 1 | 1 | × | × |

У цій таблиці Q(t) і $\overline{Q}$(t) – сигнали на виході тригера до надходження вхідних сигналів; S та R – вхідні сигнали; Q(t+1) і $\overline{Q}$(t+1) – сигнали на

виході тригера після надходження вхідних сигналів.

На рисунку 16 наведена схема RS-тригера, зібраного на двохвходових елементах І-НІ.

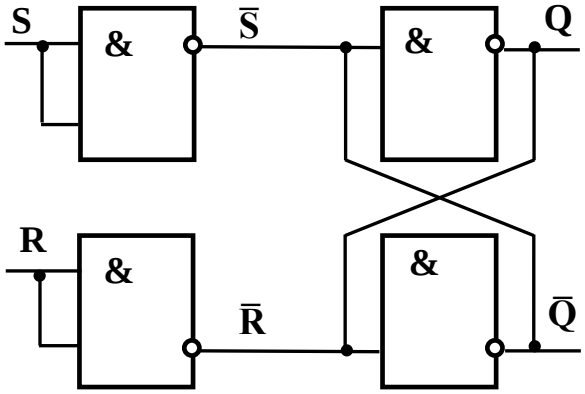



Рисунок 16

На рисунку 17 дана схема асинхронного RS-тригера, реалізованого в програмі Multisim 11. За допомогою джерела VCC і ключів К1 і К2 на входи тригера подаються вхідні сигнали, що перемикають тригер. Інвертори U1 і U2 додані для того, щоб перемикання тригера здійснювалося сигналами логічної одиниці. Пробники сигналізують про наявність логіч-

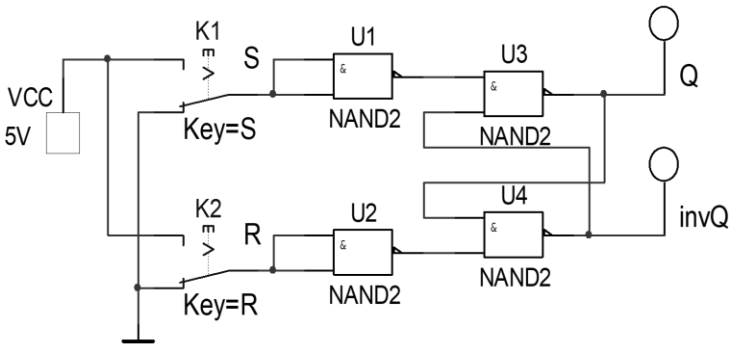



Рисунок 17

ної одиниці на відповідному виході.

**Синхронний RS-тригер**

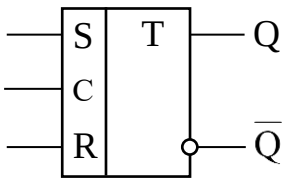



Рисунок 18

Тригери цього типу мають три входи: інформаційні входи R, S та вхід синхронізації (або тактовий вхід) – С. Схемне позначення синхронного RS-тригера показано на рисунку 18.

Для зміни стану такого тригера недостатньо подати на його інформаційні входи необхідні сигнали. Перехід буде здійснений тільки в тому випадку, якщо

за наявності потрібних сигналів на інформаційних входах надійде також дозвільний сигнал на тактовий вхід С. Інакше кажучи, зміна стану тригера відбувається тільки за дозвільним сигналом на вході С. Розрізняють тригери, в яких перехід здійснюється по передньому або по задньому фронтам тактового імпульсу. Також тригери можуть бути однотактними (їх перемикання відбувається при надходженні одного імпульсу на тактовий вхід) і багатотактними (для їх перемикання потрібні кілька дозвільних імпульсів на вході С).

На рисунку 19 наведена схема синхронного RS-тригера, зібраного на елементах 2І-НІ.

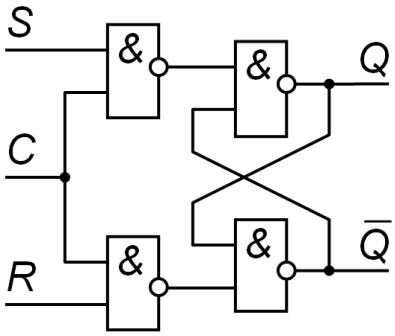



Рисунок 19

На рисунку 20 наведено схему синхронного RS-тригера, реалізованого в програмі Multisim 11. Перемикання цього тригера відбувається при надходженні на його тактовий вхід позитивного потенціалу.

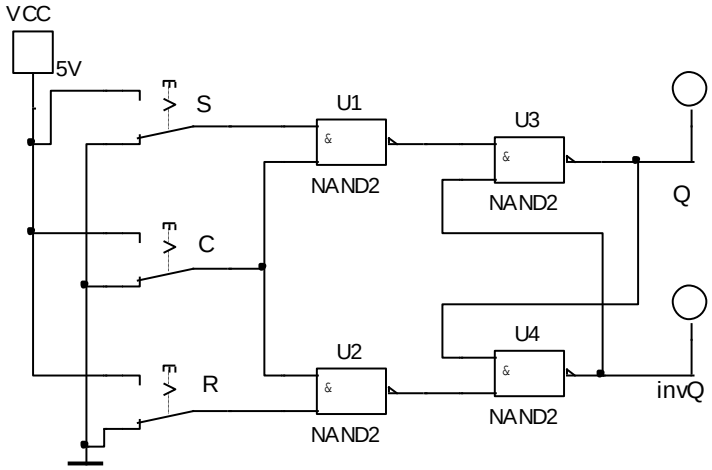



Рисунок 20

**Т-тригер**

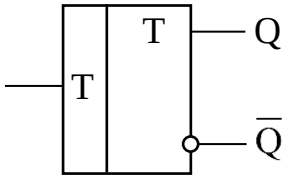



Рисунок 21

Асинхронний Т-тригер має один вхід Т і два виходи – Q і $\overline{Q}$ (рисунок 21). Перемикання Т-тригера відбувається щоразу, коли на його вхід надходить передній (або задній) фронт імпульсу. Отже, кожному імпульсу на вході відповідає перемикання тригера. Можна сказати, що Т-тригер "підраховує" імпульси, що надходять на вхід. Тому тригери цього називають тригерами з рахунковим запуском, а їх вхід – рахунковим входом.

Т-тригер може бути реалізований на базі двох синхронних RS-тригерів (рисунок 22). З появою переднього фронту тактового імпульсу тригер Т1 першого ступеня переключається у стан, протилежний стану тригера Т2. Але це не викликає зміну сигналів на виходах Q і $\overline{Q}$, тому що на тактовому вході тригера Т2 за рахунок інвертора в даний момент подано логічний 0. Тільки після закінчення дії рахункового імпульсу на вході Т1 перемкнеться тригер Т2 і відбудеться зміна сигналів на виходах Q і $\overline{Q}$, а також на S- та R-входах першого ступеня.

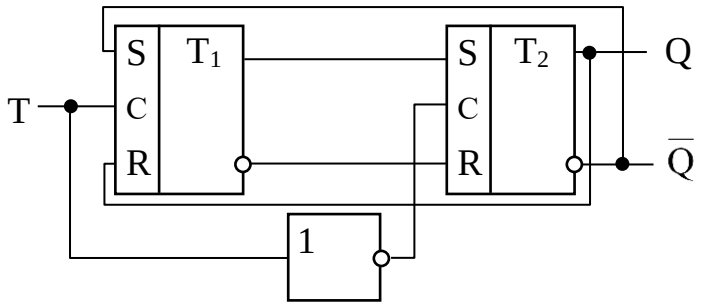



Рисунок 22

На рисунку 23 показана схема асинхронного Т-тригера, реалізованого програмі Multisim 11. Перемикання цього тригера відбувається при розмиканні ключа подачі вхідного сигналу, тобто. по задньому фронті вхідного імпульсу.

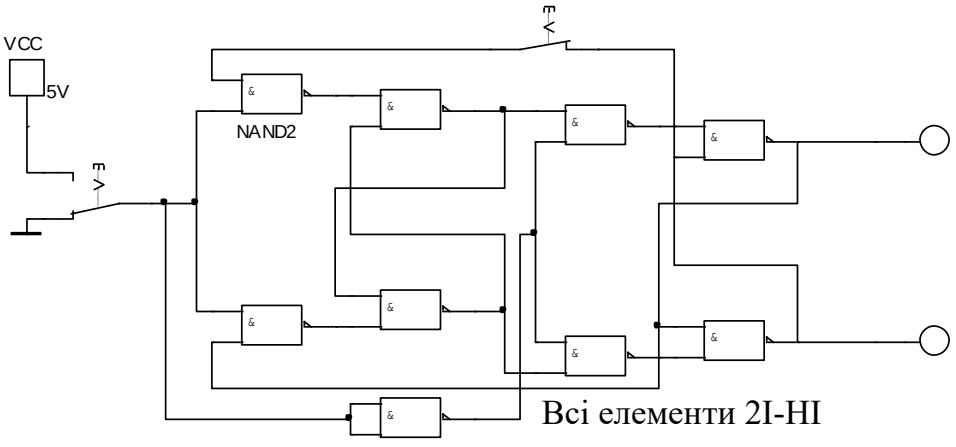



Рисунок 23

На основі Т-тригерів будуються дільники частоти слідування прямокутних імпульсів. Схема дільника частоти в 2 та 4 рази показана на рисунку 24. У ній використані два синхронні Т-тригери. На входи Т обох тригерів подається потенціал логічної одиниці, а на тактовий вхід тригера U1 подається послідовність прямокутних імпульсів, частоту слідування яких потрібно розділити. На виході тригера U1 частота проходження зменшується вдвічі порівняно з частотою вхідних імпульсів, а на виході тригера U2 – вчетверо.

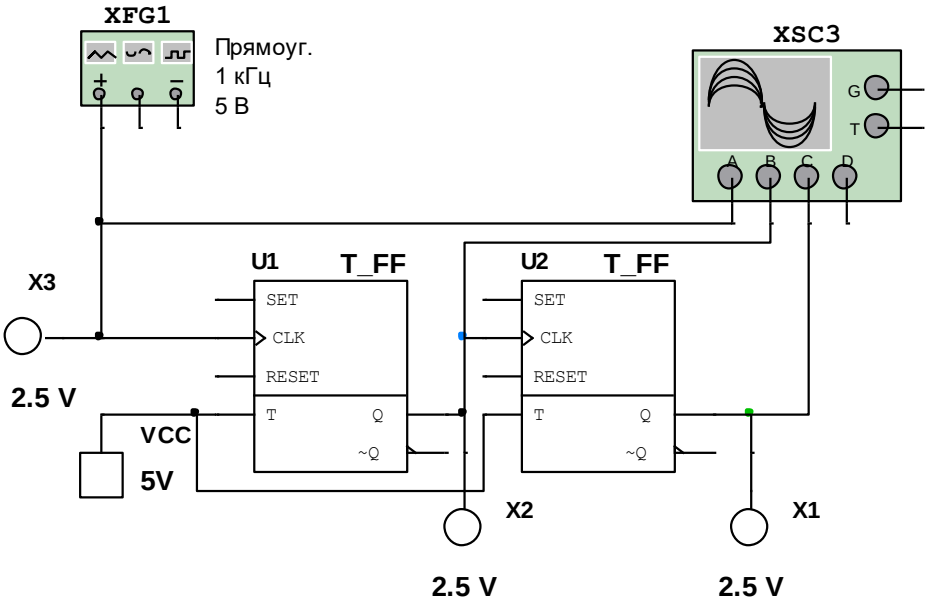



Рисунок 24

**D-тригер**

D-тригер має два входи (інформаційний D і тактовий C) і два виходи (Q і $\overline{Q}$). Його схемне позначення наведено рисунку 25.

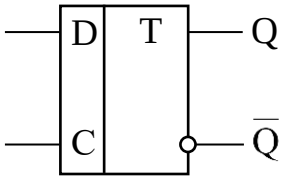



Рисунок 25

Принцип роботи тригера. Якщо в момент часу $t_1$ на вхід D подати імпульс логічної 1, а через деякий час у момент $t_2$ на тактовий вхід подати дозвільний сигнал, то в момент $t_2$ на виходах тригера з'являться сигнали Q=1 і $\overline{Q}$=0. Якщо в момент часу $t_1$ на вхід D подати імпульс логічного 0, а момент $t_2$ на тактовий вхід подати дозвільний сигнал, то в момент $t_2$ на виходах тригера з'являться сигнали Q=0 і $\overline{Q}$=1. Таким чином, на виході тригера з деякою затримкою за часом, що дорівнює $t_{ЗАТ} = t_2 - t_1$, з'являється сигнал - 1 або 0. Тому D-тригери також називають тригерами затримки (D − *delay*, затримка).

На рисунку 26 наведена схема D-тригера, реалізована на основі синхронного RS-тригера. На вхід R подається прямий сигнал із входу D, а на вхід S – інвертований.

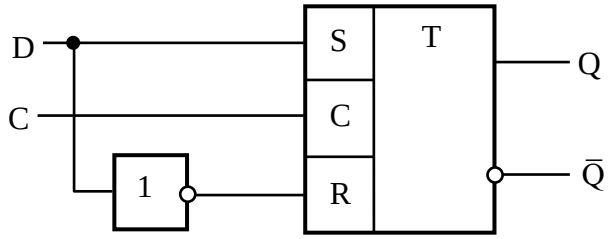



Рисунок 26

На рисунку 27 показана схема D-тригера, реалізованого на елементах 2I-HI у програмі Multisim 11.

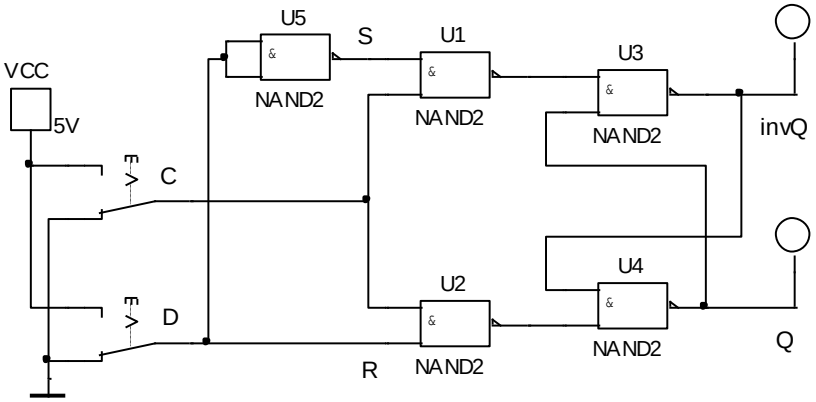



Рисунок 27

**Синхронний JK-тригер**

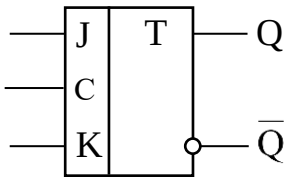



Рисунок 28

Серед тригерів особливе місце займають JK-тригери, які мають широкі функціональні можливості.

Синхронний JK-тригер має три входи (J, K, C) та два виходи – Q та $\bar{Q}$. Його схемне позначення показано рисунку 28. (Вхід J від англ. *jump* – стрибок, K – від англ. *kill* – вбити).

Таблиця переходів JK-тригера:

| J | K | Q |
|---|---|---|
| 0 | 0 | Q |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | $\bar{Q}$ |

Цей тригер працює аналогічно до синхронного RS-тригера. При подачі на обидва входи логічного нуля стан тригера зберігається. При J=1, K=0 стан вихідних сигналів Q=1 і $\overline{Q}$=0. При J=0, K=1 сигнали на виході протилежні: $\overline{Q}$=0 і Q=1. На відміну від RS-тригера, вхідна комбінація J=1, K=1 не є забороненою. При подачі на обидва входи логічної одиниці JK-тригер працює в рахунковому режимі: при надходженні на вхід такої комбінації стан тригера змінюється на протилежний.

Схема JK-тригера, зібраного на основі синхронного RS-тригера, наведена на рисунку 29.

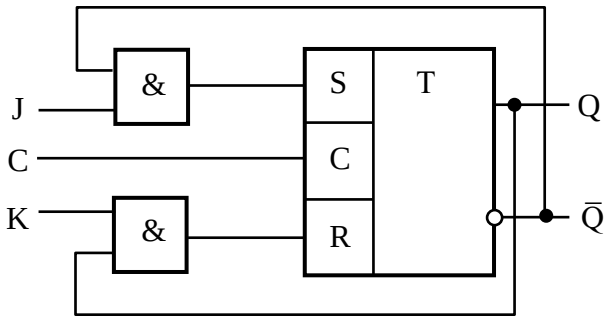



Рисунок 29

На рисунку 30 дана модель JK-тригера, реалізованого на елементах I-HI в програмі Multisim 11.

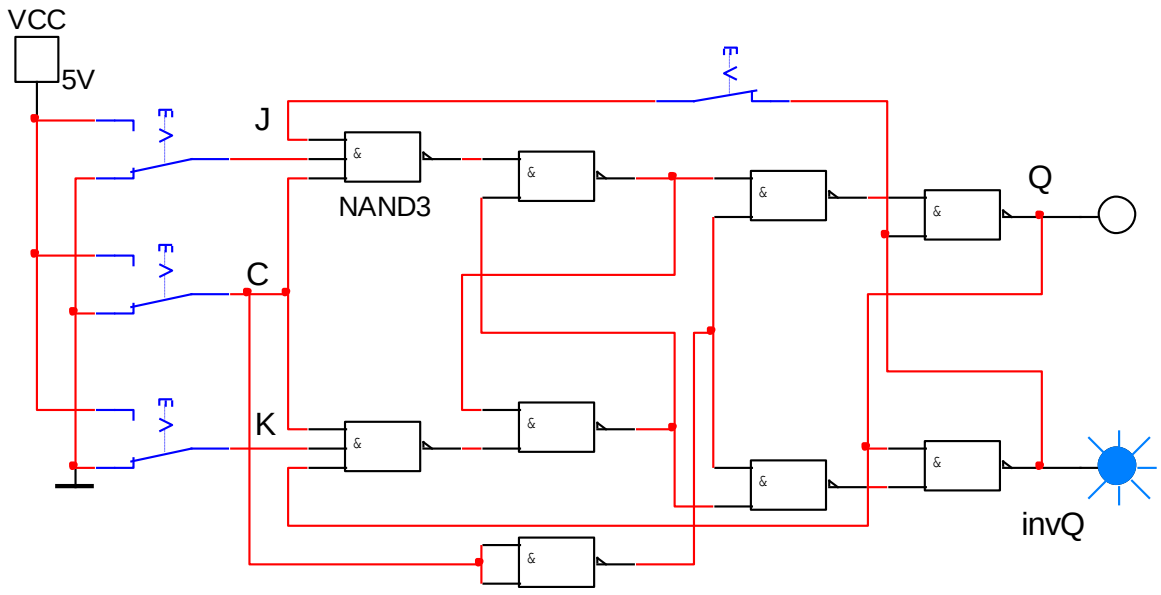



Рисунок 30

JK-тригер часто називають універсальним, тому що за його допомогою легко побудувати інші типи тригерів.

Схема Т-тригера на основі JK-тригера:

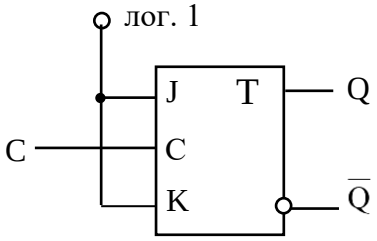



Рисунок 31

Схема D-тригера на основі JK-тригера:

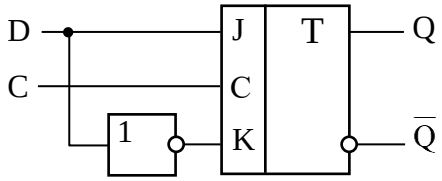



Рисунок 32

**Трійковий тригер**

Цей тригер має три стійкі стани. У ньому є можливість перемикання з будь-якого одного з трьох стійких станів в будь-який з двох інших стійких станів і можливість визначення в якому з трьох стійких станів знаходиться цей пристрій. Іншими словами – він працює у трибітовій логіці.

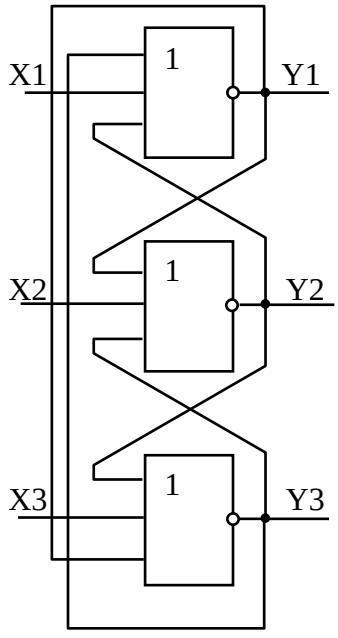



Рисунок 33

На рисунку 33 наведена схема одноодиничного трибітного трійкового тригера на трьох логічних елементах 3АБО-НІ.

Працює він так. Якщо на всіх входах діє 0 або 1, то на всіх виходах діє 0 або стан зберігається. Така ж дія спостерігається і в тому випадку, якщо тільки на один вхід подана одиниця. Перемикання стану відбувається тільки в тому випадку, якщо одиниці подаються на два будь-які входи.

Якщо X1=X2=1, X3=0, то Y1=Y2=0, Y3=1.

Якщо X1=X3=1, X2=0, то Y1=Y3=0, Y2=1.

Якщо X2=X3=1, X1=0, то Y2=Y3=0, Y1=1.

Однонульовий трибітний трійковий тригер збирається на елементах 3І-НІ. У нього у будь-якому активному стані на одному з трьох виходів 0, але в двох інших – 1. Тому він і називається однонульовим.

Трійкові тригери використовуються в електронних пристроях трибітової логіки.

**Регістри**

Регістри в цифровій схемотехніці відносять до послідовнісних пристроїв. Вони виконують функції прийому, зберігання та передачі інформації в цифровій формі. Інформація у регістрі зберігається у вигляді двійкового коду. (Розроблені та застосовуються регістри на основі трійкової системи числення). Елементами пам'яті в регістрах є тригери різних типів. Кожен тригер зберігає один розряд двійкового числа.

**Паралельні регістри**

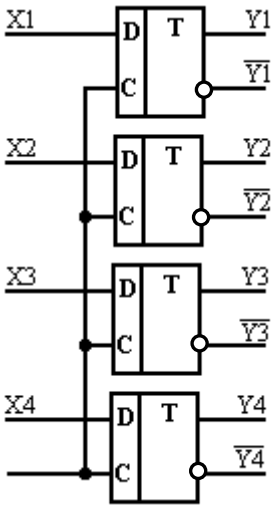


Рисунок 34

У паралельному регістрі на синхронних D-тригерах (рисунок 34) код числа, яке треба запам'ятати, подається (не обов'язково – одночасно) на інформаційні входи всіх тригерів і записується в регістр з приходом тактового імпульсу (одночасно).

На прямих виходах тригерів з'явиться записане число у прямому коді, але в інверсних виходах – у протилежному. Якщо записане число 1101, то воно ж діятиме і на виходах Y, а на виходах $\overline{Y}$ з'явиться число 0010.

Вихідна інформація змінюється з подачею нового вхідного слова та приходом наступного синхроімпульсу. Такі регістри використовують у системах оперативної пам'яті. Число тригерів у них дорівнює максимальній розрядності слів, що зберігаються.

За способом запису інформації регістри розрізняються на однофазні та парафазні. В однофазних регістрах інформація вводиться по одному каналу (прямому або інверсному). У парафазних регістрах введення інформації здійснюється по двох каналах одночасно (прямому та інверсному). В обох типах регістрів інформація на виході, як правило, подається у прямому та зворотному кодах.

На рисунку 35 дана схема чотирирозрядного паралельного регістру для дослідження в програмі Multisim 11.

Основною відмінністю від попередньої схеми є наявність ланцюга скидання записаного коду (входи "Reset" тригерів).

**Послідовні регістри**

Послідовний регістр призначений для короткочасного зберігання інформації, але, на відміну від паралельного регістру, у ньому здійснюється логічна операція зсуву коду числа, що у ньому зберігається. Введення інформації в послідовний регістр здійснюється по одному послідовному каналу. Зміщення коду числа відбувається за допомогою синхронізуючих імпульсів.

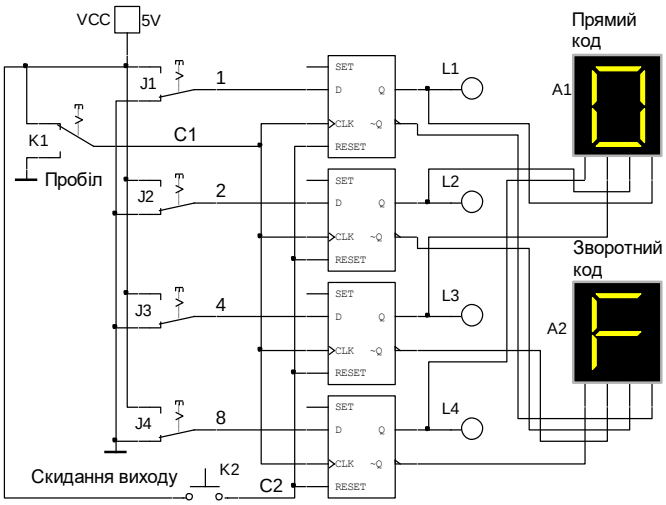



Рисунок 35

Схема послідовного регістру наведена рисунку 36.

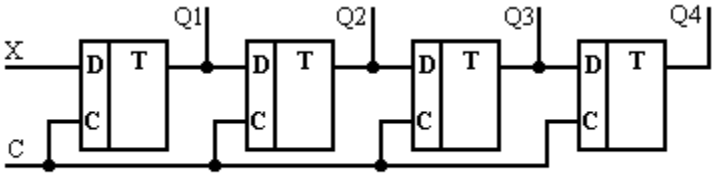



Рисунок 36

Якщо в послідовному регістрі вихід останнього тригера з'єднати з входом першого, то вийде кільцевий регістр зсуву. Записана в його розряди інформація під впливом синхронізуючих імпульсів буде циркулювати по замкнутому колу. Регістри обох типів можуть бути синтезовані на базі тригерів RS або JK-типу, але найбільш зручним для цих цілей є використання D-тригерів (тригерів затримки).

По приходу тактового імпульсу перший тригер записує код X (0 чи 1), що в цей момент знаходиться на його вході D, а кожен наступний тригер переключається в стан, у якому раніше знаходився попередній. Так відбувається тому, що сигнал, який записується, проходить зі входу D тригера до виходу Q із затримкою, більшою тривалості фронту тактового імпульсу (протягом якого відбувається запис). Кожен тактовий імпульс послідовно зсуває код числа в регістрі на один розряд. Тому для запису N-розрядного коду потрібно N тактів. Якщо необхідно отримати послідовну інформацію в послідовному коді, то її знімають з виходу Q4 в момент приходу наступних чотирьох імпульсів. Такий режим називається режимом послідовного зчитування.

Послідовні регістри знаходять обмежене застосування. Найчастіше

їх використовують як лінії затримки.

На рисунку 37 приводиться схема шестирозрядного послідовного регістру для дослідження в програмі Multisim 11.

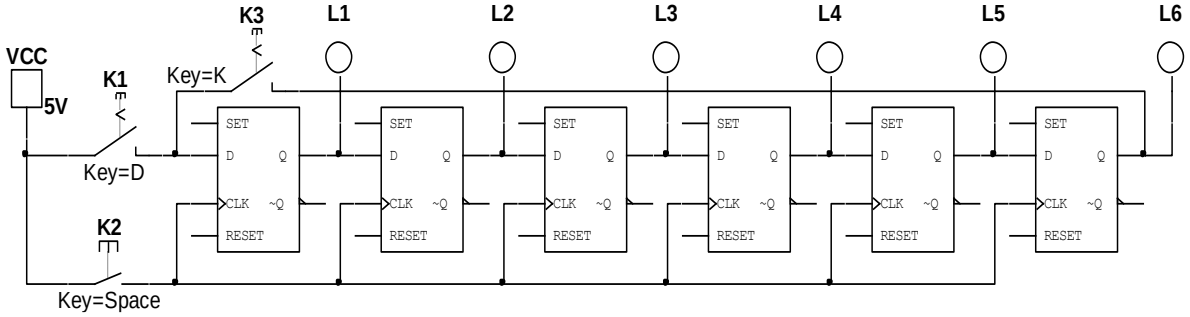
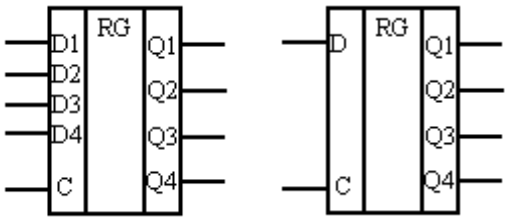



Рисунок 37

На рисунку С показано схемне позначення паралельного (а) та послідовного (б) регістрів.




а) б)

Рисунок 38

Дуже зручні універсальні регістри, що дозволяють проводити як послідовний, так і паралельний запис та зчитування. Такі регістри можна використовувати як перетворювач паралельного коду в послідовний і навпаки.

**Лічильники**

Лічильники виконують операцію підрахунку імпульсів, що надходять на їх вхід, і зберігають число підрахованих імпульсів у паузах між імпульсами і в кінці операції. Існує багато типів лічильників, але основна їхня класифікація виглядає так:

- Прості лічильники виконують лише одну операцію – підсумовування імпульсів або їх віднімання. У першому випадку кожен новий імпульс на вході підвищує результат на виході на одиницю, тоді як у другому – зменшує. До речі, кожен імпульс на вході може змінювати результат підрахунку не тільки на одиницю, але

на будь-яке довільне число.

- Реверсивні лічильники можуть працювати як у режимі підсумовування, так і в режимі віднімання.
- За способом перемикання – синхронні та асинхронні.

Основні параметри лічильників:

• *Модуль рахунку* $K_{\text{РАХ}}$ – виражає граничну кількість імпульсів, яку можна підрахувати. Після приходу імпульсу з номером $K_{\text{РАХ}}$ лічильник повертається у вихідний стан.

• *Швидкість підраховування* визначається мінімально допустимим інтервалом часу між приходом двох послідовних імпульсів, коли ще не виникає втрати результату.

Елементарним лічильником є тригер, зокрема Т-тригер. Одиничний тригер здатен підраховувати не більше двох імпульсів, тобто їх модуль рахунку $K_{\text{РАХ}} = 2$. Логічно будувати схеми лічильників на послідовно з'єднаних тригерах. Кількість тригерів для двійкових лічильників обчислюється за формулою

$$m_2 \geq \log_2 K_{\text{РАХ}}.$$

За часом спрацьовування тригерів, що входять до складу лічильника, розрізняють два типи. Схема асинхронного лічильника складається з асинхронних тригерів і побудована так, що сигнал з виходу попереднього тригера надходить на вхід наступного тригера. Це призводить до того, що тригери спрацьовують по черзі один за одним. Зрозуміло, що загальний час підрахунку чергового імпульсу складається із суми часів спрацьовування всіх тригерів. Більшу швидкодію мають синхронні лічильники, складені із синхронних тригерів. Синхронізуючий імпульс подається на тактові входи всіх тригерів одночасно, тому вони і спрацьовують одночасно.

На рисунку 39 наведена схема простого чотирирозрядного асинхронного підсумовуючого лічильника, зібраного на Т-тригерах. Важливий момент: перемикання всіх тригерів здійснюється заднім фронтом вхідних імпульсів.

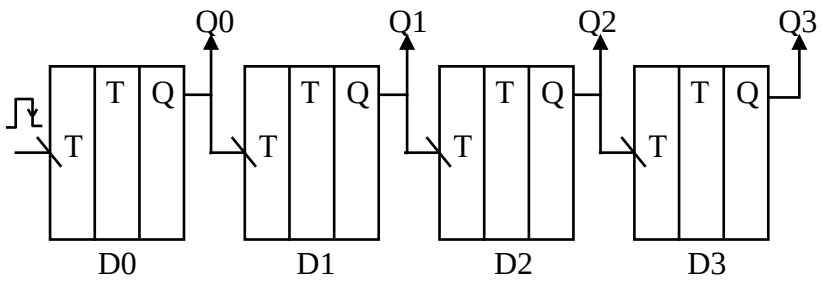



Рисунок 39

Щоб синтезувати схему віднімаючого лічильника, необхідно використовувати не прямі, а інверсні виходи тригерів, а перемикання тригерів повинно здійснюватися по передньому фронту вхідних імпульсів. Використовуючи принцип комутації прямих або інверсних виходів тригерів, можна реалізувати реверсивний лічильник.

Для моделювання у програмі Multisim 11 на рисунку 40 наведена схема підсумовуючого чотирирозрядного синхронного лічильника ($K_{РАХ}$=16). Лічильник зібраний на JK-тригерах 74LS107D, наявних у бібліотеці програми.

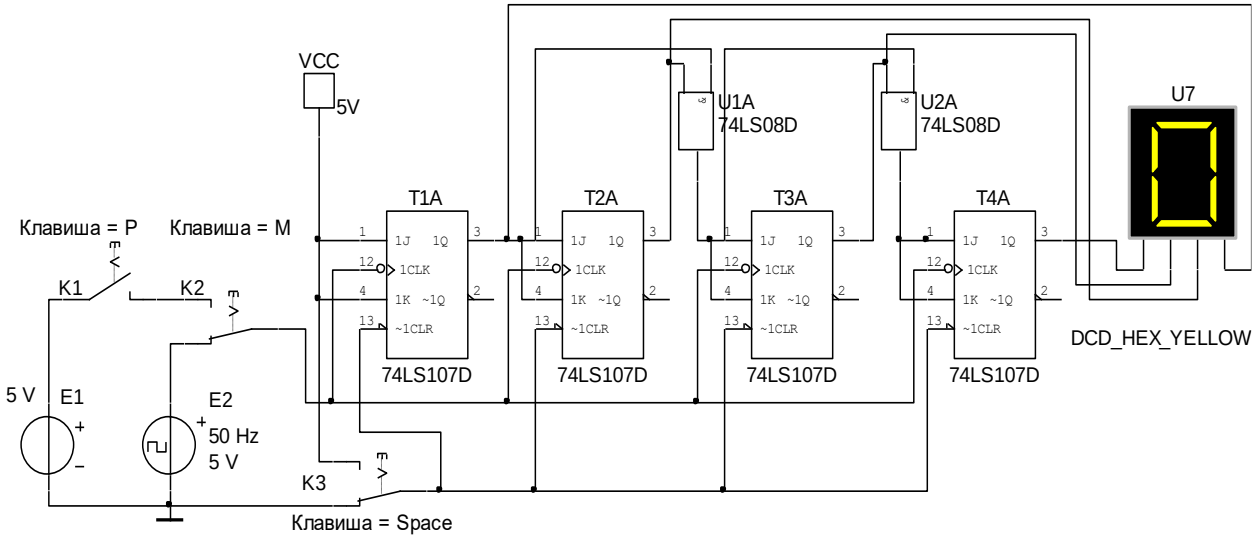



Рисунок 40

За допомогою перемикачів К1, К2 можна підраховувати імпульси, що подаються на вхід лічильника вручну або від генератора. Перемикачем К3 здійснюється скидання результату підрахунку.