

АЛГОРИТМ МІНІМІЗАЦІЇ АПАРАТНОЇ СКЛАДНОСТІ ЦИФРОВИХ ФІЛЬТРІВ

Івашко А.В., Лунін Д.О., Тарасенко М.В.

Національний технічний університет «Харківський політехнічний інститут», Харків, вул. Курникова 2, Andrii.Ivashko@khp.edu.ua

Цифрові фільтри широко застосовуються в сучасних системах передачі та обробки сигналів. У порівнянні з аналоговими вони забезпечують знижену вагу, габарити та енергоспоживання, можливість оперативної зміни характеристик.

Цифрові фільтри зазвичай поділяються на фільтри зі скінченною імпульсною характеристикою (СІХ-фільтри) та з нескінченною імпульсною характеристикою (НІХ фільтри). Перевагами СІХ фільтрів є лінійність фазочастотної характеристики, структурна стійкість, нечутливість до похибок округлення.

Синтез цифрових СІХ-фільтрів полягає у визначенні імпульсної характеристики фільтра (коефіцієнтів фільтра), що забезпечують виконання встановлених вимог до фільтра. Однак, існуючі методи синтезу цифрових фільтрів (метод вікон, метод частотних вибірок, метод Ремеза тощо) не враховують особливості реалізації фільтрів.

Основною ланкою фільтра, що вимагає великих апаратних витрат є помножувач на коефіцієнт фільтра. При цьому чим більше одиничних розрядів буде містити двійкове представлення кожного з коефіцієнтів фільтра, тим більше ресурсів вимагатиме апаратна реалізація фільтра. Особливо важливо це при реалізації фільтра на основі великих інтегральних схем, зокрема на програмованих логічних інтегральних схемах (ПЛІС).

Тому стає актуальною розробка методів синтезу фільтрів з коефіцієнтами, що мають у своєму двійковому поданні невелику кількість одиниць (в ідеалі – коефіцієнти у вигляді ступенів двійки). Множення на такі коефіцієнти може бути зведено до зсувів і невеликої кількості додавань, в результаті чого спроститься реалізація цифрового фільтра, і підвищиться швидкість фільтрації. У літературі описано кілька методів мінімізації апаратної складності СІХ-фільтрів. Однак у відомих публікаціях, наприклад [1], запропоновані методики не доводяться до практичної реалізації, що дозволяло б переходити безпосередньо до VHDL-програмування ПЛІС.

В роботі розроблено алгоритм, що дозволяє мінімізувати число додавань при цифровій фільтрації. Для реалізації запропоновано застосовувати структуру рис. 1 при використанні якої вхідний відлік сигналу одразу множиться на всі можливі коефіцієнти фільтра.

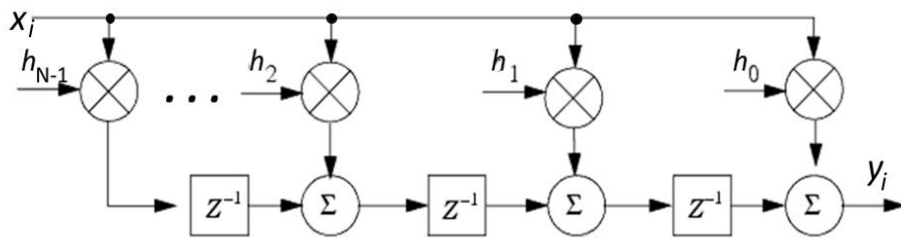


Рисунок 1 – Структура цифрового СІХ-фільтра

Програма оптимізації фільтра аналізує послідовність двійкових представлень коефіцієнтів фільтра, вибираючи групи одиниць, що збігаються. Потім проводиться перебір всіх варіантів поєднання ланцюжків та вибір тих комбінацій, які забезпечують мінімальну кількість суматорів. Алгоритм був протестований на прикладі синтезу п'ятнадцятиланкового фільтра низьких частот, для двійкового представлення коефіцієнтів якого використовувалося десять біт. Такий фільтр вимагав 24 двійкових однорозрядних суматора для множення відліку на коефіцієнти. Шляхом оптимізації запропонованим методом вдалося зменшити апаратні витрати до 16 суматорів. При цьому максимальне відхилення фільтра АЧХ від ідеальної становила 0,1224, а відносно середньоквадратичне відхилення 0,0311.

У середовищі Active-HDL була виконана ПЛІС-реалізація фільтра, що зображена на рис. 2. Моделювання фільтра в програмі Active-HDL показало його працездатність та збіг теоретично передбачуваних результатів із фактично досягнутими.

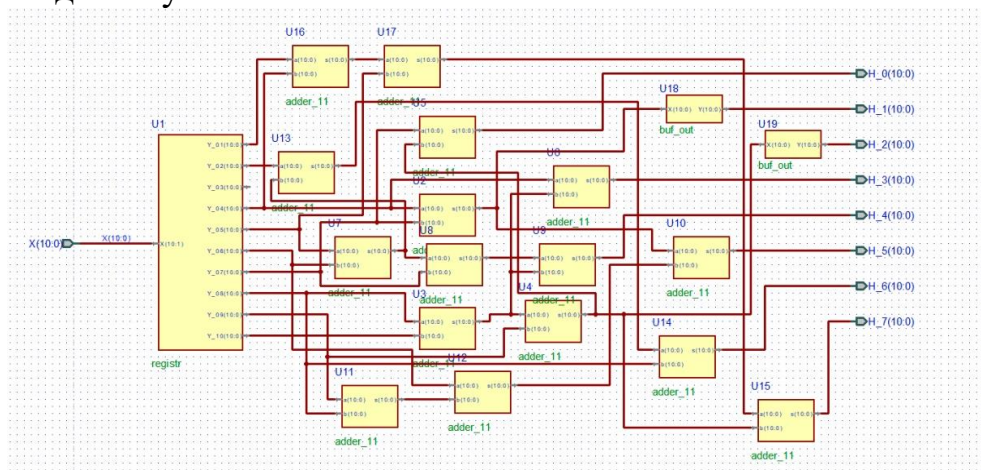


Рисунок 2 – ПЛІС-реалізація фільтра у середовищі Active-HDL.

Література:

1. K. _ Thesni , K. Praveen , L. Srivani . Implementation and Performance Comparison of Digital Filter in FPGA: 2020 6th International Conference on Advanced Computing and Communication Systems (ICACCS). P. 589-594. DOI: [10.1109/ICACCS48705.2020.9074456](https://doi.org/10.1109/ICACCS48705.2020.9074456)