

ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ СИСТЕМ С ПРИМЕНЕНИЕМ ВЫСОКОУРОВНЕВЫХ ЯЗЫКОВ ПРОГРАММИРОВАНИЯ

Васильченко О.Г., Сальников Д.В.

*Национальный технический университет
«Харьковский политехнический институт», г. Харьков*

ПЛИС является одной из самых популярных платформ для реализации современных алгоритмов цифровой обработки сигналов. Методы разработки подобных систем требуют использования языков проектирования цифровых схем, наиболее популярными из них можно считать VHDL и Verilog.

Устоявшиеся методы проектирования с использованием HDL языков обладают существенными ограничениями, которые являются прямым следствием особенностей используемых аппаратных платформ. Общепринятыми метриками качества работы HDL языков считаются частота работы сгенерированной схемы, площадь полученного кристалла, количество описывающего схему кода, сложность его поддержки [1]. Верификация решений на базе этих языков осложнена ввиду малого количества доступных библиотек и широкого набора форматов входных и выходных данных.

Данный недостаток может быть устранен путем использования языков высокого уровня, вроде Python и Scala [2]. Они обладают обширным набором библиотек, позволяющих строить сложные тестовые последовательности для глубокого тестирования цифровой системы. Что в свою очередь существенно снижает количество необнаруженных ошибок в топологиях цифровых систем.

Используя языки высокого уровня можно проводить имитацию работы цифровой системы с последующей генерацией кода описания на языке VHDL/Verilog [3].

Интерес представляет исследование качества генерации полученного кода, а также возможность построения диаграмм распространения сигнала в системе.

Литература:

1. S. Ravi and M. Joseph, "Open source HLS tools: A stepping stone for modern electronic CAD," 2016 IEEE International Conference on Computational Intelligence and Computing Research (ICIC), Chennai, 2016, pp. 1-8.
2. J. I. Villar, J. Juan, M. J. Bellido, J. Viejo, D. Guerrero and J. Decaluwe, "Python as a hardware description language: A case study," 2011 VII Southern Conference on Programmable Logic (SPL), Cordoba, 2011, pp. 117-122.
3. P. Lennon and R. Gahan, "A Comparative Study of Chisel for FPGA Design," 2018 29th Irish Signals and Systems Conference (ISSC), Belfast, 2018, pp. 1-6.